

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-64140

(P2002-64140A)

(43) 公開日 平成14年2月28日 (2002.2.28)

(51) Int.Cl.⁷

H 0 1 L 21/768

識別記号

F I

H 0 1 L 21/90

テーマユート (参考)

B 5 F 0 3 3

D

審査請求 未請求 請求項の数37 O.L (全32頁)

(21) 出願番号

特願2000-250873(P2000-250873)

(22) 出願日

平成12年8月22日 (2000.8.22)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 廣井 政幸

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100114672

弁理士 宮本 恵司

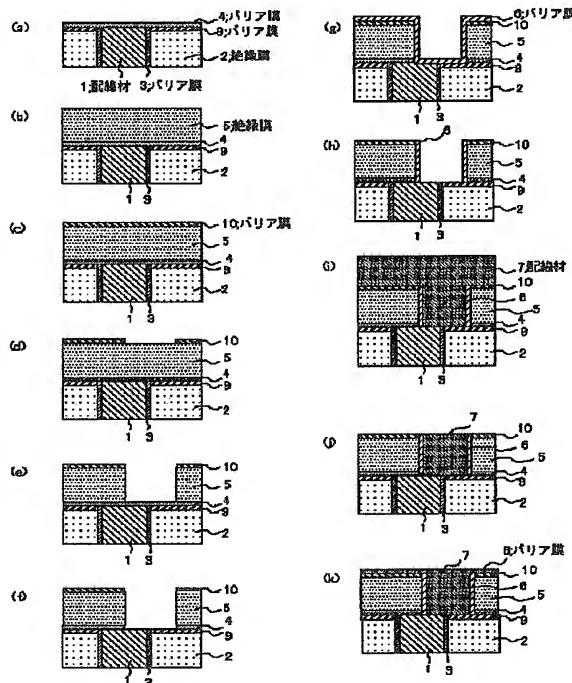
最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 微細な多層配線において、上下層との接続抵抗を低減して遅延を抑制し、高いEM耐性を保持しつつ、パターニングにおける位置ずれが生じても配線材の周囲に対する拡散の防止が保証される信頼性の高い半導体装置及びその製造方法の提供。

【解決手段】 あらかじめ下層の配線材1以外の絶縁膜2上面にバリア膜9を形成し、その上に全表面を覆うバリア膜4を成膜する。その後、絶縁膜5、バリア膜10を順次成膜、加工して溝又は孔を形成し、溝もしくは孔を被覆するようにバリア膜6を成膜後、異方性エッチングによって溝もしくは孔の側壁以外のバリア膜6を除去して下層との接続口を形成し、配線材7を成膜する。その後、配線材の余剰部分をCMPで除去し、表面を覆うバリア膜8を成膜する。その結果、上下層との電気的接続部にバリア膜を介さず、電気的接続部を除いた当該配線層の配線材の周囲が全てバリア膜で覆われることによって配線材の外部への拡散が防止された配線構造をもつ半導体装置が形成される。



【特許請求の範囲】

【請求項1】半導体素子が形成された基板上に、絶縁体膜を堆積した後、前記絶縁体膜に溝又は孔を形成し、前記溝又は孔の内部に配線材となる導体を充填して配線層を形成する工程を繰り返し、前記配線層を積層する半導体装置の製造方法において、所定の配線層下層に形成される配線層の前記導体を除く前記絶縁体膜上面に、配線材の拡散を防止する第1のバリア膜を形成する工程を具備することを特徴とする半導体装置の製造方法。

【請求項2】半導体素子が形成された基板上に、絶縁体膜を堆積した後、前記絶縁体膜に溝又は孔を形成し、前記溝又は孔の内部に配線材となる導体を充填して配線層を形成する工程を繰り返し、前記配線層を積層する半導体装置の製造方法において、所定の配線層の前記絶縁体膜上面に、配線材の拡散を防止する第2のバリア膜を形成する工程を具備することを特徴とする半導体装置の製造方法。

【請求項3】前記所定の配線層の前記絶縁体膜に形成した前記溝又は孔に前記導体を充填する工程の前に、配線材の拡散を防止する第3のバリア膜を前記溝又は孔を被覆するように成膜する工程と、異方性エッチングによって前記絶縁体膜上面及び前記溝又は孔の底面の前記第3のバリア膜を除去し、前記溝又は孔の側壁のみに前記第3のバリア膜を配設する工程とを具備することを特徴とする請求項1又は2に記載の半導体装置の製造方法。

【請求項4】前記所定の配線層の前記絶縁体膜成膜前に、前記基板全面に配線材の拡散を防止する第4のバリア膜を成膜する工程と、該第4のバリア膜の一部を除去して下層の配線層の前記導体を露出させる工程とを具備することを特徴とする請求項1乃至3のいずれか一に記載の半導体装置の製造方法。

【請求項5】前記所定の配線層の前記導体充填後、前記基板全面に配線材の拡散を防止する第5のバリア膜を成膜する工程と、該第5のバリア膜の一部を除去して上層の配線層の導体と電気的に接合される導体を充填すべき開口部を形成する工程とを具備することを特徴とする請求項2又は3に記載の半導体装置の製造方法。

【請求項6】前記第3のバリア膜を異方性エッチングによって前記絶縁体膜の前記溝又は孔の側壁に配設した後に、前記溝または孔の底部の前記第4のバリア膜を除去して下層の配線層の前記導体を露出させる工程を行うことを特徴とする請求項4記載の半導体装置の製造方法。

【請求項7】前記第3のバリア膜形成前に、前記溝または孔の底部の前記第4のバリア膜を除去して下層の配線層の前記導体を露出させる工程を行うことを特徴とする請求項4記載の半導体装置の製造方法。

【請求項8】前記第5のバリア膜に前記開口部を形成した後に、前記絶縁体膜に溝又は孔を形成する工程を行うことを特徴とする請求項5記載の半導体装置の製造方

法。

【請求項9】前記第5のバリア膜に前記開口部を形成する工程と、前記絶縁体膜に溝もしくは孔を形成する工程とを、同一のマスクを用いて連続的に行うことを特徴とする請求項8記載の半導体装置の製造方法。

【請求項10】前記開口部が形成された前記第5のバリア膜をマスクの一部として、前記絶縁体膜に前記溝又は孔を形成する工程を行うことを特徴とする請求項8記載の半導体装置の製造方法。

【請求項11】前記第5のバリア膜上に第1のダミー膜を成膜する工程と、該第1のダミー膜の一部を除去して上層の配線層の導体と電気的に接合される導体を充填すべき開口部を形成する工程と、前記絶縁体膜に形成された前記溝又は孔に前記導体を充填後、該第1のダミー膜を除去する工程とを具備することを特徴とする請求項5、8、9及び10のいずれか一に記載の半導体装置の製造方法。

【請求項12】前記第1のダミー膜をマスクの一部として、前記絶縁体膜に前記溝又は孔を形成する工程を行うことを特徴とする請求項11記載の半導体装置の製造方法。

【請求項13】前記第5のバリア膜下層に第2のダミー膜を成膜する工程を具備し、該第2のダミー膜をマスクの一部として、前記絶縁体膜に前記溝もしくは孔を形成する工程を行うことを特徴とする請求項5、8、9及び10のいずれか一に記載の半導体装置の製造方法。

【請求項14】前記導体を充填させる部分が、溝と前記溝の底部に形成された孔とで形成されることを特徴とする請求項1乃至13のいずれか一に記載の半導体装置の製造方法。

【請求項15】前記溝及び孔を、所定のバリア膜を挟んで形成される複数の絶縁膜層に形成することを特徴とする請求項14記載の半導体装置の製造方法。

【請求項16】前記第3のバリア膜が導体であることを特徴とする請求項3乃至15のいずれか一に記載の半導体装置の製造方法。

【請求項17】前記溝の幅を、隣接する溝と溝との間隔の半分より大きく加工することを特徴とする請求項16記載の半導体装置の製造方法。

【請求項18】前記溝の幅を、隣接する溝と溝との間隔の半分に前記第3のバリア膜の前記溝側壁片側における厚さを加えた値より小さく加工することを特徴とする請求項16記載の半導体装置の製造方法。

【請求項19】前記溝の上面の幅を底面より広く、かつ、上面から底面までの平均幅を、隣接する溝と溝との間隔の半分より大きく、隣接する溝と溝との間隔の半分に前記第3のバリア膜の前記溝側壁片側における厚さを加えた値より小さく形成することを特徴とする請求項16記載の半導体装置の製造方法。

【請求項20】前記第3のバリア膜が絶縁体であること

を特徴とする請求項3乃至15のいずれか一に記載の半導体装置の製造方法。

【請求項21】前記溝の幅を、隣接する溝と溝との間隔の半分に前記第3のバリア膜の前記溝側壁片側における厚さを加えた値より大きく加工することを特徴とする請求項20記載の半導体装置の製造方法。

【請求項22】前記溝の幅を、隣接する溝と溝との間隔の半分に前記第3のバリア膜の前記溝側壁両側における厚さより小さく加工することを特徴とする請求項20記載の半導体装置の製造方法。

【請求項23】前記溝の上面の幅を底面より広く、かつ、上面から底面までの平均幅を、隣接する溝と溝との間隔の半分に前記第3のバリア膜の前記溝側壁片側における厚さより大きく、隣接する溝と溝との間隔の半分に前記第3のバリア膜の前記溝側壁両側における厚さより小さく形成することを特徴とする請求項20記載の半導体装置の製造方法。

【請求項24】前記第3のバリア膜が導体及び絶縁体の積層膜であることを特徴とする請求項3乃至15のいずれか一に記載の半導体装置の製造方法。

【請求項25】前記溝の幅を、隣接する溝と溝との間隔の半分に前記第3のバリア膜の前記溝側壁片側における厚さより大きく加工することを特徴とする請求項24記載の半導体装置の製造方法。

【請求項26】前記溝の幅を、隣接する溝と溝との間隔の半分に、前記第3のバリア膜の前記溝側壁両側における前記絶縁体の厚さと前記溝側壁片側における前記導体の厚さとを加えた値より小さく加工することを特徴とする請求項24記載の半導体装置の製造方法。

【請求項27】前記溝の上面の幅を底面より広く、かつ、上面から底面までの平均幅を、隣接する溝と溝との間隔の半分に前記第3のバリア膜の前記溝側壁片側における前記絶縁体の厚さを加えた値より大きく、隣接する溝と溝との間隔の半分に前記第3のバリア膜の前記溝側壁両側における前記絶縁体の厚さと前記溝側壁片側における前記導体の厚さとを加えた値より小さく形成することを特徴とする請求項24に記載の半導体装置の製造方法。

【請求項28】半導体素子が形成された基板上に、絶縁体膜中の溝又は孔に配線材となる導体が充填されてなる配線層が積層された半導体装置において、所定の配線層の上層又は下層の配線層の導体部分と電気的に接合する部分を除く前記導体の上面、下面及び側面のいずれもがバリア膜で覆われ、かつ、前記所定の配線層の前記絶縁膜の上面及び下面にバリア膜が配置されていることを特徴とする半導体装置。

【請求項29】前記導体側面を覆う前記バリア膜が導体で構成されることを特徴とする請求項28記載の半導体装置。

【請求項30】前記配線材の幅が、隣接する溝と溝との

間隔の半分から前記導体の側面両側を覆う前記バリア膜の厚さを引いた値より大きいことを特徴とする請求項29記載の半導体装置。

【請求項31】前記配線材の幅が、隣接する溝と溝との間隔の半分から前記導体の側面片側を覆う前記バリア膜の厚さを引いた値より小さいことを特徴とする請求項29記載の半導体装置。

【請求項32】前記配線材側面を覆うバリア膜が絶縁体で構成されることを特徴とする請求項28記載の半導体装置。

10

【請求項33】前記配線材の幅が、隣接する溝と溝との間隔の半分から前記導体の側面片側を覆う前記バリア膜の厚さを引いた値より大きいことを特徴とする請求項32記載の半導体装置。

【請求項34】前記配線材の幅が、隣接する溝と溝との間隔より小さいことを特徴とする請求項32記載の半導体装置。

10

【請求項35】前記導体の側面を覆う前記バリア膜が導体及び絶縁体の積層膜で構成されることを特徴とする請求項28記載の半導体装置。

【請求項36】前記配線材の幅が、隣接する溝と溝との間隔の半分から前記導体の側面片側を覆う前記バリア膜の前記絶縁体の厚さの2倍と前記導体の厚さを引いた値より大きいことを特徴とする請求項35記載の半導体装置。

【請求項37】前記配線材の幅が、隣接する溝と溝との間隔の半分から前記導体の側面片側を覆う前記バリア膜の前記導体の厚さを引いた値より小さいことを特徴とする請求項35記載の半導体装置。

30

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の製造における多層配線構造及びその製造方法に関し、特に、低抵抗で微細な信頼性の高い銅配線構造及びその製造方法に関する。

【0002】

【従来の技術】従来、集積回路の配線にはアルミニウム(A1)もしくはA1合金が、配線間および配線層間にシリコン酸化膜(SiO₂)が広く用いられてきた。

40

しかし、微細化の進行に伴い、配線における信号伝送の遅延を抑制低減するにあたり、配線抵抗の低減のために配線材には銅(Cu)が、配線間容量の低減のために配線間および配線層間における絶縁膜には有機物や空孔を含んだ、シリコン酸化膜より誘電率の低い膜が使用されるようになってきた。

【0003】Cuを主成分とする配線においては、シリコン(Si)やSiO₂をはじめとする絶縁膜中におけるCuの拡散がA1よりも速いため、トランジスタをはじめとするシリコンデバイス部への侵入、配線間の絶縁耐圧劣化等を防いで信頼性を確保するために、Cuの周

50

囲に拡散を防止するバリア膜を設ける必要がある。現在、一般に用いられているのは、図16に示すような、Cu部の下面および側面をCuの拡散防止（バリア）層となる導体膜で、上面をCuの拡散防止層となる絶縁膜で覆う構造と製造方法である。以下に、図16乃至図19を用いてその詳細を説明する。図16乃至図19は、従来の多層配線構造の製造方法を示す工程断面図である。

【0004】まず、図16（a）に示すように、側面をここでは導体であるバリア膜3で、上面を絶縁物であるバリア膜4で覆われたCu等の配線材1と絶縁膜2とで構成される下層配線部が用意される。この部分は、下記に説明される工程によって形成される上層と同様の構造である。この上に、絶縁膜5を成膜し（図16（b））、リソグラフィーによるパターニングの後、異方性エッチングによって絶縁膜5の一部を除去し（図16（c））、次いで、バリア膜4の一部を除去することにより、配線溝もしくは配線孔を形成する（図16（d））。

【0005】この全表面に、ここでは導体からなるバリア膜6を成膜後（図16（e））、Cuを成膜する（図16（f））。次に、化学機械研磨（Chemical Mechanical Polishing: CMP）によって配線溝もしくは配線孔以外の余剰なCuを除去し（図16（g））、同様に余剰なバリア膜6を除去後（図16（h））、絶縁物であるバリア膜8を成膜することで、下面および側面を導体であるバリア膜6で、上面を絶縁膜であるバリア膜で8覆われたCu配線構造が形成される。この導体バリア膜6には、Cuの拡散防止能力が高いこと、下地となる絶縁物およびCu配線部との密着性、プロセス上の熱的安定性等の理由から、比較的高融点であるチタン（Ti）、タンタル（Ta）、タンクスチル（W）などの金属およびその窒化物、またはそれらにSiなどを添加した3元系もしくは4元系の窒化物、もしくはそれらを積層したものが用いられる。

【0006】この構造においては、下層の配線材1と上層の配線材7との接合は、必然的に間に抵抗の高い導体バリア膜6を挟み込む構成となるため、配線抵抗を低く抑えることが困難となる。また、導体バリア膜6がCuをブロックするという本質に加えて、高抵抗であることが手伝って、エレクトロマイグレーション（Electromigration: EM）に対する耐性が低くなるという問題が生じる。

【0007】EMは、金属配線に電流が流れるとき、電子の移動に影響されて配線を構成する金属原子が移動してしまう現象であるが、その金属の移動速度は、一般に電流密度が高いほど、温度が高いほど速い。ここで、上層の配線材7と下層の配線材1との間に電流が流れるとき、接合部である導体バリア膜6が最も高抵抗である。また、エッチング時に生ずるテーパーや立体的な配置の

制約のために通常の多層配線構造においては、配線層間を結ぶ接続孔底部の断面積は同一配線層中における配線に比べて小さく形成されるので、上記の導体バリア膜6部分における電流密度は高くなる。したがって、導体バリア膜6近傍は、他のCu配線部と比べて高温かつ電流密度が高く、CuのEMが起きやすい。例えば、上層から下層へ電流が流れる場合、導体バリア膜6直下の配線材1がEMによって消失して断線の要因となる。また、下層から上層に電流が流れる場合は、逆に導体バリア膜6直上の配線材7がEMによって消失することが断線の要因となる。

【0008】上記の導体バリア膜を挟み込む構造に起因する高抵抗と低EM耐性を低減、解消するためには、上層と下層のCuとの接合部から高抵抗となるバリア膜を除去し、Cuのみの接合とすればよい。具体的には、バリア膜6を成膜後、異方性エッチングによって側面のバリア膜のみを残して底面のバリア膜を除去してからCuを成膜することで実現できる。この場合、バリア膜6を介しての電気的接合は必要無くなるので、バリア膜は導体でなくても良い。例えば、特開平10-92924号公報には金属であるバリア膜をエッチバックする手法が、特開平09-326433号公報および特開平11-145138号公報には導体と特定しないバリア膜をエッチバックする手法が提案されている。また、特開平11-238794号公報には、バリア膜形成前に密着層を形成することで、バリア膜エッチバック後に成膜されるCuと下地との密着性を確保して、CMPにおける剥がれを抑制する手法が提案されている。

【0009】以下に、従来のバリア膜エッチバックによるCu配線構造の形成方法について、図17を用いて説明する。図17（a）において、側面をここでは導体と限らないバリア膜3で、上面を絶縁物であるバリア膜4で覆われたCu等の配線材1と絶縁膜2とで構成される下層配線部が用意される。図16と同様に、この部分は下記に説明される工程によって形成される上層と同様の構造である。上述した図16（a）～（d）と同様の工程によって、絶縁膜5に配線溝もしくは配線孔を形成する（図17（b）～（d）参照）。この全表面に、ここでは導体と限らないバリア膜6を成膜し（図17（e））、異方性エッチングによってエッチバックすることにより、配線溝もしくは配線孔の側面以外、すなわち配線溝もしくは配線孔の底面と最表面に存在するバリア膜6を除去する（図17（f））。この後、全面にCuを成膜し（図17（g））、CMPによって配線溝もしくは配線孔以外の余剰なCuを除去後（図17（h））、絶縁物であるバリア膜8を成膜することで、側面を導体と限らないバリア膜6で、上面を絶縁膜であるバリア膜8で覆われ、かつ上層一下層の接合にバリア膜を介さないCu配線構造が形成される（図17（i））。

【0010】

【発明が解決しようとする課題】これらの従来提案されているバリア膜をエッチバックする手法は、図17に示されるような、下層の配線材1が接続される上層の配線材7より十分に大きい場合には有効であるが、上層と下層とを同一の面積、形状で接続するボーダーレス配線をはじめとする微細な配線構造形成においては、多層配線のパターン形成における層間の位置ずれが考慮されておらず、高い信頼性を確保することが困難であった。

【0011】以下に、この位置ずれの影響について図18を用いて説明する。図18は、図16と同様の、バリア膜6のエッチバックを用いずに配線材7の下面および側面をCuの拡散防止(バリア)層となる導体膜で覆う手法において、上層と下層の位置ずれが生じた場合の配線構造を示したものである。なお、下層の配線材1と全く接しない、もしくは下層の目的とする配線部以外の隣接する配線部に接触する、といった極端な位置ずれは本質的な不良となるため、ここでは対象としない。図18(i)は、パターニングの形状と位置を除き、図16と全て同じ工程を経て得られる最終的な構造である。

【0012】上層の配線材7は、上面を絶縁膜のバリア膜8で、下面および側面を導体であるバリア膜6で覆われている。すなわち、この構造においてCuは全面をバリア膜で覆われており、位置ずれによってもCu配線部から外部へのCu拡散の影響は抑制されることが保証されている。この位置ずれに関する保証が、現在この手法が広く用いられている大きな要因である。しかし、図19に示されるように、図17と同様の工程において位置ずれが生じた場合の最終的に得られる構造(図19

(i))では上層Cuの下面の一部にバリア膜で覆われない領域ができる。したがって、配線材7からCu拡散の抑制が保証されず、高い信頼性を得るための障害となっていた。

【0013】さらに、従来は配線の幅に比べてバリア膜の厚さが相対的に小さかったため、Cuおよびバリア膜を埋め込むべき配線溝の幅は配線間隔の半分として形成し、バリア膜の厚さは薄い程よいという以外の指標は無かった。しかし、より微細で集積度の高いデバイスを作製するためには、配線材とバリア膜と絶縁膜で構成される配線間隔をより狭くしていく必要があるが、配線間隔によらずバリア膜はCuの拡散を防止するに足る厚さが必要である。したがって、配線間隔の低減に伴って配線間隔に占めるバリア膜の厚さの割合が増大するため、バリア膜の厚さを考慮に入れた配線構造の設計が必要となっている。

【0014】本発明は、上記問題点に鑑みてなされたものであって、その主たる目的は、多層配線間の接続抵抗を低く保ち、EMに対する高い耐性を持つつ、異層間のパターニングにおける位置ずれが生じても配線部から外部への配線材の拡散を抑制することができる多層配線

構造の半導体装置及びその製造方法を提供することにある。

【0015】

【課題を解決するための手段】上記目的を達成するため、本発明は、半導体素子が形成された基板上に、絶縁体膜を堆積した後、前記絶縁体膜に溝又は孔を形成し、前記溝又は孔の内部に配線材となる導体を充填して配線層を形成する工程を繰り返し、前記配線層を積層する半導体装置の製造方法において、所定の配線層下層に形成される配線層の前記導体を除く前記絶縁体膜上面に、配線材の拡散を防止する第1のバリア膜を形成する工程を具備するものである。

【0016】また、本発明は、半導体素子が形成された基板上に、絶縁体膜を堆積した後、前記絶縁体膜に溝又は孔を形成し、前記溝又は孔の内部に配線材となる導体を充填して配線層を形成する工程を繰り返し、前記配線層を積層する半導体装置の製造方法において、所定の配線層の前記絶縁体膜上面に、配線材の拡散を防止する第2のバリア膜を形成する工程を具備するものである。

【0017】本発明においては、前記所定の配線層の前記絶縁体膜に形成した前記溝又は孔に前記導体を充填する工程の前に、配線材の拡散を防止する第3のバリア膜を前記溝又は孔を被覆するように成膜する工程と、異方性エッチングによって前記絶縁体膜上面及び前記溝又は孔の底面の前記第3のバリア膜を除去し、前記溝又は孔の側壁のみに前記第3のバリア膜を配設する工程とを具備する構成とすることができる。

【0018】また、本発明においては、前記所定の配線層の前記絶縁体膜成膜前に、前記基板全面に配線材の拡散を防止する第4のバリア膜を成膜する工程と、該第4のバリア膜の一部を除去して下層の配線層の前記導体を露出させる工程とを具備する構成とすることもできる。

【0019】また、本発明においては、前記所定の配線層の前記導体充填後、前記基板全面に配線材の拡散を防止する第5のバリア膜を成膜する工程と、該第5のバリア膜の一部を除去して上層の配線層の導体と電気的に接合される導体を充填すべき開口部を形成する工程とを具備する構成とすることもできる。

【0020】また、本発明は、半導体素子が形成された基板上に、絶縁体膜中の溝又は孔に配線材となる導体が充填されてなる配線層が積層された半導体装置において、所定の配線層の上層又は下層の配線層の導体部分と電気的に接合する部分を除く前記導体の上面、下面及び側面のいずれもがバリア膜で覆われ、かつ、前記所定の配線層の前記絶縁膜の上面及び下面にバリア膜が配置されているものである。

【0021】このように、本発明は、配線材の成膜時においては、パターニングにおける位置ずれが生じても、上層の配線溝もしくは配線孔の底部は、下層の配線とその側壁となるバリア膜、およびあらかじめ配線部以外の

上面に形成しておいたバリア膜とで構成されたため、上層一下層配線間の接合にバリア膜を挟むこと無く、かつ配線の周囲は全てバリア膜で覆われた構造を形成できる。すなわち、配線材のみによる低抵抗で高EM耐性を持ち、かつ外部への配線材拡散の抑制を保証した信頼性の高い配線構造が実現できる。

【0022】

【発明の実施の形態】本発明に係る半導体装置の製造方法は、その好ましい一実施の形態において、上層の配線層を形成する前に、下層の配線部以外の上面に、配線材の拡散を抑制するバリア膜を形成しておく。この上に絶縁膜を成膜、加工して配線溝もしくは配線孔を形成し、全表面にバリア膜を成膜後異方性エッチングによってエッチバックしてから、配線材を成膜する。その後、上層の配線材の余剰部分をCMPで除去し、上層配線上部を覆うバリア膜を成膜するものであり、以下に図1乃至図11を参照して説明する。図1乃至図9は、本発明の一実施の形態に係る半導体装置の製造方法を模式的に示す工程断面図である。また、図10は、本実施の形態における配線構造断面の模式図であり、図11は、本実施の形態における配線構造断面の拡大断面図である。

【0023】図1(a)において、側面がバリア膜3で覆われたCu等の配線材1と、上面をバリア膜9で覆われた絶縁膜2と、それらの上部を覆うバリア膜4とで構成される下層配線部が用意される。図16に示す目ずれがない場合の従来例及び図18に示す目ずれがある場合の従来例と同様に、この部分は下記に説明される工程によって形成される上層と同様の構造である。

【0024】この上に絶縁膜5を成膜し(図1(b))、さらにバリア膜10を成膜する(図1(c))。次に、リソグラフィーによるパターニングの後、異方性エッチングによってバリア膜10の一部を除去し(図1(d))、さらに絶縁膜5の一部を除去する(図1(e))。次いで、バリア膜4の一部を除去することで配線溝もしくは配線孔を形成する(図1(f))。この全表面にバリア膜6を成膜後(図1(g))、異方性エッチングによってエッチバックすることにより、配線溝もしくは配線孔の側面以外、すなわち配線溝もしくは配線孔の底面と最表面に存在するバリア膜6を除去する(図1(h))。この後、全面にCuを成膜し(図1(i))、CMPによって配線溝もしくは配線孔以外の余剰なCuを除去後(図1(j))、絶縁物であるバリア膜8を成膜することにより、側面がバリア膜6で、上面が絶縁膜であるバリア膜8で覆われ、下面がバリア膜を介さない接合部とバリア膜9で覆われた部分とで構成されるCu配線構造が形成される(図1(k))。

【0025】なお、下層の配線材1の上層の絶縁膜5に対する拡散が問題とならない場合、例えば、下層の配線材1がWなどの比較的拡散しにくい高融点金属であるプ

ラグ部分などの場合には、下層の配線材1の上層への拡散を防止するバリア膜4は必ずしも必要でない。この場合に、バリア膜4が無くとも上層の配線材7の下層への拡散はバリア膜9によって防止されることは図から明らかである。

【0026】ここで、上記の下層配線を覆うバリア膜4のエッチングを、配線側部を被覆するバリア膜6のエッチバック後に行なってよい。その方法について、図2を参照して説明する。図2(a)～(e)において、図1(a)～(e)と同様の工程を経た後、まず、バリア膜6を成膜し(図2(f))、エッチバックしてから(図2(g))、バリア膜4をエッチングする(図2(h))。この後、図1(i)～(k)と同様の工程によって、図1(k)とほぼ同様の構造を得ることができる(図2(k))。この場合、上層の配線材7側面の下方が一部バリア膜6ではなくバリア膜4によって被覆される。

【0027】この方法では、バリア膜6のエッチバック前にバリア膜4をエッチングする手法に比べ、上層の配線材7の成膜直前まで下層の配線材1を露出させずにすむため、下層の配線材1表面の汚染や酸化などの影響を受け難く、各プロセス間における許容時間などの自由度が大きい。しかし、バリア膜4のエッチング時には最表層のバリア膜10もエッチング条件にさらされるため、バリア膜10とバリア膜4のエッチングにおける選択比と膜厚に関する考慮が必要である。

【0028】なお、バリア膜4のエッチングにおいてバリア膜10がエッチングされる厚さが無視できない場合には、バリア膜10はCuの拡散を防止するに必要な膜厚に加えて、バリア膜4のエッチング時に消失する厚さを見込んで成膜する必要がある。一方で、上述のバリア膜6のエッチバック前にバリア膜4をエッチングする手法においては、バリア膜10および絶縁膜5、もしくはその両者をエッチングするために用いたマスク(図示せず)を最表層に残存させたままバリア膜4をエッチングすることができ、バリア膜10の必要部分の損傷を抑えて接続部を形成しやすいというメリットがある。

【0029】また、エッチバックする対象であるバリア膜に関して、エッチバック時の異方性が成膜時の被覆性よりも高い場合には、上層の配線下面をカバーするバリア膜と下層の側面をカバーするバリア膜を同一として工程を単純化することができる。この方法について、図3を参照して説明する。図3(a)において、配線材1と絶縁膜2と、および両者の間と絶縁膜2の上部を覆うバリア膜3、さらにそれらの上部を覆うバリア膜4とで構成される下層配線部が用意される。図1及び図2と同様に、この部分は下記に説明される工程によって形成される上層と同様の構造である。

【0030】この上に絶縁膜5を成膜し(図3(b))、リソグラフィーによるパターニングの後、異

方性エッチングによって絶縁膜5の一部を除去し(図3(c))、次いでバリア膜4の一部を除去することで配線溝もしくは配線孔を形成する(図3(d))。この後、全表面にバリア膜6を成膜し(図3(e))、異方性エッチングによってエッチバックすることにより、配線溝もしくは配線孔の側面以外、すなわち配線溝もしくは配線孔の底面と最表面に存在するバリア膜6を除去する(図3(f))。

【0031】ここで、バリア膜6の成膜時における被覆性がエッチバック時の異方性より高い場合には、エッチバック時に最表層のバリア膜6が消失してしまうため、既に説明した図1と同様にバリア膜6の成膜前に、更に上層に形成される配線層の下面をカバーすべきバリア膜をあらかじめ成膜しておく必要がある。しかし、バリア膜6に関して、成膜における(最表層の膜厚)/(接続部底面の膜厚)の比が、エッチバック時の(最表層のエッチング速度)/(接続部底面のエッチング膜厚)という条件が満たされれば、エッチバックによって接続部底面のバリア膜6を除去しつつ、絶縁膜5の上面にバリア膜6を残存させることができると示している。

【0032】このような構造が達成された後は、全面にCuを成膜し(図3(g))、CMPによって配線溝もしくは配線孔以外の余剰なCuを除去後(図3(h))、絶縁物であるバリア膜8を成膜することで、上面が絶縁膜であるバリア膜8で、側面がバリア膜6で覆われ、かつ下面がバリア膜を介さない接合部とバリア膜3で覆われた部分とで構成されるCu配線構造が形成される(図3(i))。

【0033】以上の記載は、下層の配線層上に埋め込みと研磨によって単層の上層配線を形成する、いわゆるシングルダマシン(Single Damascene)と呼ばれる手法に適用した場合について説明したが、上層の配線層および下層と接続する配線孔層を形成した後、両者に配線材を埋め込んで研磨を行う、デュアルダマシン(Dual Damascene)法に関して本発明を適用することもできる。以下に図面を参照して詳細に説明する。

【0034】図4は、図1と同様の手法をデュアルダマシンに適用したものである。図4(a)において、側面がバリア膜3で覆われたCu等の配線材1と、上面をバリア膜9で覆われた絶縁膜2と、それらの上部を覆うバリア膜4とで構成される下層配線部が用意される。その上に、上層配線と下層配線を接続する接続孔層となる部分の絶縁膜5を成膜し(図4(b))、さらに上層の配線底部を被覆することになるバリア膜11を成膜する(図4(c))。その上に上層配線層となる絶縁膜12を成膜した後(図4(d))、バリア膜10を成膜する(図4(e))。

【0035】次に、リソグラフィーによるパターニング

と異方性エッチングによって、バリア膜10と絶縁膜12、およびバリア膜11と絶縁膜5の一部を除去して上層配線溝と上層一下層間を接続する接続孔を形成し(図4(f))、さらに下層Cu配線上面を覆うバリア膜4の接続孔露出部分を除去する(図4(g))。この全表面にバリア膜6を成膜後(図4(h))、異方性エッチングによってエッチバックすることにより、配線溝と配線孔の側面以外、すなわち配線溝と配線孔の底面とおよび最表面に存在するバリア膜6を除去する(図4(i))。

【0036】この後、全面にCu等の配線材7を成膜し(図4(j))、CMPによって配線溝もしくは配線孔以外の余剰なCuを除去後(図4(k))、絶縁物であるバリア膜8を成膜することで、接続部にバリア膜を介さず、かつ周囲をすべてバリア膜で覆われたCu配線構造が形成される(図4(l))。ここで、リソグラフィーにおけるパターニングの位置ずれによって、接続孔の底面が下層の配線材1の外側に形成された場合でも、接続孔底面はバリア膜9によって保護されるため、Cuに関するバリア性が保証される。

【0037】また、図5は、図2と同様の手法をデュアルダマシンに適用したものである。図4の場合と同じく、図4(a)～(f)と同様の工程の後(図5(a)～(f))、まずバリア膜6を成膜し(図5(g))、エッチバックしてから(図5(h))、バリア膜4をエッチングする(図5(i))。この後、図4(j)～(l)と同様の工程によって、図4(l)とほぼ同様の構造を得ることができる(図5(l))。

【0038】この方法によれば、図1に対する図2の関係と同様に、上層の配線材7側面の下方が一部バリア膜6ではなくバリア膜4によって被覆される。また、バリア膜6のエッチバック前にバリア膜4をエッチングする手法に比べ、上層の配線材7の成膜直前まで下層の配線材1を露出させずにすむため、下層の配線材1表面の汚染や酸化などの影響を受け難く、各プロセス間における許容時間などの自由度を大きくすることができる。しかし、バリア膜4のエッチング時には最表層のバリア膜10に加えて、バリア膜11もエッチング条件にさらされるため、バリア膜10およびバリア膜11と、バリア膜4とのエッチングにおける選択比と膜厚に関する考慮が必要である。バリア膜4のエッチングにおいてバリア膜10およびバリア膜11がエッチングされる厚さが無視できない場合には、バリア膜10およびバリア膜11はCuの拡散を防止するに必要な膜厚に加えて、バリア膜4のエッチング時に消失する厚さを見込んで成膜する必要がある。

【0039】ここで、本実施の形態においては、上層が形成される、すなわちバリア膜4もしくはバリア膜8が成膜される前に、絶縁膜2もしくは絶縁膜12の配線部分以外の上面にバリア膜9もしくはバリア膜10が存在

することと、Cu成膜前に配線部分の底面にバリア膜11が、配線溝および接続孔側面にバリア膜6が存在することが重要であり、配線溝と接続孔の形成の加工における工程手順は必ずしも特定する必要はない。例えば、図4(e)から図4(g)に至るまでのリソグラフィーとエッティングにおいても、配線溝の形成と接続孔の形成の順序は必ずしも特定する必要ではなく、またバリア膜10の上層にレジストやレジスト以外の他の膜を積層してパターン形成に用いることも可能である。

【0040】例えば、図6は、図4に示される工程において、位置ずれ時に上層の配線材7下面のバリア性を保証するバリア膜に引き続き、エッティングのマスクもしくはCMP前のCuとの密着層となる部分を連続的に成膜し、上層形成前にCMPで除去する場合の例を示したものである。図4(a)～(e)と同様の工程の後(図6(a)～(e))、ダミー膜13を全面に成膜し(図6(f))、リソグラフィーによるパターニングと異方性エッティングによって、ダミー膜13とバリア膜10と絶縁膜12、およびバリア膜11と絶縁膜5の一部を除去して上層配線溝と上層一下層間を接続する接続孔を形成し、さらに下層Cu配線上面を覆うバリア膜4の接続孔露出部分を除去する(図6(g))。

【0041】この全表面にバリア膜6を成膜後(図6(h))、異方性エッティングによってエッチバックすることにより、配線溝と配線孔の側面以外、すなわち配線溝と配線孔の底面とおよび最表面に存在するバリア膜6を除去する(図6(i))。この後は全面にCu等の配線材7を成膜し(図6(j))、CMPによって配線溝もしくは配線孔以外の余剰なCuを除去後(図6(k))、さらにCMPを行うことによって残存するダミー膜13を除去する(図6(l))。その上に絶縁物であるバリア膜8を成膜することで、図4(l)と同様の構造が形成される(図6(m))。

【0042】また、図7、図8は、ダミー膜13とバリア膜10をマスクとして、図6(e)～(g)における配線溝と接続孔を形成する過程として、配線溝と接続孔のリソグラフィー順序を変えた場合の例を示したものである。図7は、接続孔の露光を先に行った場合の一例である。図6(e)の構造が用意された後(図7(a))、レジスト14を塗布し(図7(b))、露光、現像によって配線溝のパターンをレジスト14に形成する(図7(c))。その後、異方性エッティングによってダミー膜13に配線溝パターンを形成し(図7(d))、レジスト13を剥離、除去する(図7(e))。

【0043】同様にして、レジスト15を塗布(図7(f))、露光、現像によって接続孔のパターンをレジスト15に形成する(図7(g))。その後、異方性エッティングによってバリア膜10、絶縁膜12、バリア膜11、絶縁膜5の一部を除去して接続孔を形成するとと

もにレジスト15を除去する(図7(h))。さらに、あらかじめ配線溝パターンが転写されたダミー膜13をマスクとして、バリア膜10および絶縁膜12に異方性エッティングを施すことで、図6(g)の構造を得る(図7(i)、(j))。

【0044】一方、図8は、配線溝の露光を先に行った場合の一例である。上記と同様に、図6(e)の構造が用意された後(図8(a))、レジスト14を塗布し(図8(b))、露光、現像によって接続孔のパターンをレジスト14に形成する(図8(c))。その後、異方性エッティングによってダミー膜13に配線溝パターンを形成し(図8(d))、レジスト13を剥離、除去する(図8(e))。同様にして、レジスト15を塗布(図8(f))、露光、現像によって配線溝のパターンをレジスト15に形成した後(図8(g))、既に接続孔パターンが転写されたバリア膜10をマスクとして、バリア膜10、絶縁膜12、バリア膜11、絶縁膜5に異方性エッティングを施し、接続孔を形成するとともにレジスト15を除去する(図8(h)、(i))。さらにあらかじめ配線溝パターンが転写されたダミー膜13をマスクとして、バリア膜10および絶縁膜12に異方性エッティングを施すことで、図6(g)の構造を得る(図8(j))。

【0045】このような構成を取った場合、リソグラフィー中に最表面に現れるのは、バリア膜10およびダミー膜13のみであり、絶縁膜12、絶縁膜5は表面に現れない。したがって、例えば絶縁膜12、絶縁膜5がレジストに近い有機物を含有するような組成である場合でも、絶縁膜12、絶縁膜5を損傷すること無くレジストの剥離等の作業を行うことができる。また、ダミー膜13が、配線溝形成後のバリア膜4のエッティング等において、Cu成膜前に消失してしまう場合には、図6(k)～(l)に至るCMPによるダミー膜13の除去が必要ないのは明らかである。

【0046】なお、マスクとなるダミー膜13を複数層使用することで、必ずしもバリア膜を直接マスクに使用しなくとも、上記のように絶縁膜12や絶縁膜5をリソグラフィー時に表面に露出せずに同様の加工を実現できることは明らかである。また、必ずしもバリア膜上にダミー膜13を成膜する構成を取る必要も無く、ダミー膜13上にバリア膜10を形成してもよい。この場合、上層形成前に最表面にバリア膜を残存させるため、バリア膜10およびダミー膜13はCMPによって除去しない。

【0047】当然ながら、絶縁膜12や絶縁膜5がリソグラフィーにおいて損傷されにくい場合には上記のような構成を取る必要はなく、例えば、図9に示すような、リソグラフィーとエッティングを順次行うことで配線溝と接続孔を形成することができる。図9(a)において図6(e)の構造が用意された後、レジスト14を塗布し

(図9 (b))、露光、現像によって配線溝のパターンをレジスト14に形成する(図9 (c))。その後、異方性エッチングによってバリア膜10と絶縁膜12の一部を除去して配線溝パターンを形成し、レジスト14を剥離、除去する(図9 (d))。同様にして、レジスト15を塗布後、露光、現像によって接続孔のパターンをレジスト15に形成した後(図9 (e))、バリア膜1、絶縁膜5、バリア膜4に異方性エッチングを施し、接続孔を形成するとともにレジスト15を除去することで、図6 (g)の構造を得る(図9 (f))。図示しないが、配線溝と接続孔の加工順序が逆の場合でも同様の加工ができます。

【0048】ここで、上述したように、配線溝もしくは接続孔の側面を覆うバリア膜は、下層との接続部底面をエッチバックによって除去するため、導体である必要はなく絶縁体でも良いが、遅延をできるだけ低減するためには、これらの材質と厚さを考慮して、これらを成膜すべき配線溝の幅を設計、加工することが重要である。

【0049】従来、リソグラフィーとエッチングによって加工される配線溝の幅は、配線間隔の半分という値が用いられてきた。これは、配線溝および配線材の幅に比べて、バリア膜が無視できるほどの薄さであったためである。しかしながら、配線が微細で密になるにしたがって配線間隔は減少するのに対し、バリア膜の厚さは後工程における熱処理やデバイス動作時の電界の効果を考慮した上で、そのバリア性が保証される厚さが必要であり、その厚さは配線間隔によらない。

【0050】したがって、配線間隔の低減に伴ってバリア膜の厚さが無視できなくなるため、バリア膜の厚さを考慮した、より正確な設計と加工が必要である。上下層間に關しては、配線材の埋め込みが難しくなることを除けば、必ずしも横方向の配線間隔にしたがって間隔を狭める必要が無く、したがって最も問題となるのは横方向の配線間隔に対する配線溝の設計、加工の最適化である。本発明においては、配線溝の側面を覆うべきバリア膜は、必ずしも導体である必要が無いが、このバリア膜が導体である場合と絶縁体である場合とでは、バリア膜成膜前にリソグラフィーとエッチングによって形成しておく配線溝幅の最適値が異なる。

【0051】図10は、本発明における配線構造断面の模式図である。この図では、上記の配線溝もしくは接続孔の側面を覆うバリア膜を、便宜的に絶縁体と導体の積層とした構造として示してある。配線間隔をp、配線材M0の幅、比抵抗をそれぞれW_{M0}、ρ_{M0}、導体バリア膜BMの厚さ、比抵抗をそれぞれW_{BM}、ρ_{BM}、層間絶縁膜I0の幅、膜厚、誘電率をそれぞれW_{I0}、H_{I0}、K_{I0}、側面の絶縁体バリア膜I1の厚さ、誘電率をそれぞれW_{BI}、K_{BI}、層間絶縁膜上面の絶縁体バリア膜I

2の厚さ、誘電率をそれぞれH_{BI}、K_{BI2}とする。

【0052】導体配線部分の単位長さあたりの抵抗Rは、M0およびBMの抵抗R_{M0}、R_{BM}を用いると、

$$\frac{1}{R} = \frac{1}{R_{M0}} + \frac{2}{R_{BM}} \quad \dots (1)$$

のよう表わされる。この右辺は上記のパラメータを用いて、

$$\frac{HW_{M0}}{\rho_{M0}} + 2 \frac{HW_{BM}}{\rho_{BM}} \quad \dots (2)$$

すなわち、

$$\frac{H}{\rho_{M0}} \left(W_{M0} + 2 \frac{\rho_{M0}}{\rho_{BM}} W_{BM} \right) \quad \dots (3)$$

と表わされる。一方で、隣接する配線間の容量Cは、I0、I1、I2の容量C_{I0}、C_{BI}、C_{BI2}を用いて、

$$\frac{1}{C} = \frac{1}{C_{I0} + C_{BI2}} + \frac{2}{C_{BI1}} \quad \dots (4)$$

と表わされる。この右辺は上記のパラメータを用いて、

$$\frac{1}{W_{I0} K_{I0}} + \frac{H_{BI} K_{BI2}}{W_{BI}} + \frac{2 H_{BI}}{W_{BI}} \quad \dots (5)$$

すなわち、

$$\frac{1}{H} \left(\frac{W_{I0}}{\frac{H_{I0}}{H} K_{I0} + \frac{H_{BI}}{H} K_{BI2}} + \frac{2 W_{BI}}{K_{BI1}} \right) \quad \dots (6)$$

と表わされる。ここで、

$$K_{I02} = \frac{H_{I0}}{H} K_{I0} + \frac{H_{BI}}{H} K_{BI2} \quad \dots (7)$$

とおくと、式6は、

$$\frac{1}{H} \left(\frac{W_{I0}}{K_{I02}} + \frac{2 W_{BI}}{K_{BI1}} \right) \quad \dots (8)$$

すなわち、

$$\frac{1}{HK_{I02}} \left(W_{I0} + 2 \frac{K_{I02}}{K_{BI1}} W_{BI} \right) \quad \dots (9)$$

と变形できる。式7におけるK_{I02}は、I1以外の部分、すなわちI0とI2で構成される部分の平均誘電率と捉えることができる。

【0053】配線における遅延時間tは、上記の抵抗Rと容量Cの積に比例するため、その逆数1/tは、

$$\frac{H}{\rho_{M0}} \left(\frac{17}{W_{M0} + 2 \frac{\rho_{M0}}{\rho_{BM}} W_{BM}} \right) \frac{1}{HK_{J02}} \left(W_{J0} + 2 \frac{K_{J02}}{K_{B1}} W_{BI} \right) \dots (10)$$

すなわち、

$$\frac{1}{\rho_{M0} K_{J02}} \left(W_{M0} + 2 \frac{\rho_{M0}}{\rho_{BM}} W_{BM} \right) \left(W_{J0} + 2 \frac{K_{J02}}{K_{B1}} W_{BI} \right) \dots (11)$$

に比例する。ここで、横方向の長さに関する、

* という関係を用いて、上式を W_{J0} について解いて整理する。

10

$$P = W_{M0} + W_{B1} + 2W_{BM} + 2W_{BI}$$

… (12)

$$- \frac{1}{\rho_{M0} K_{J02}} \left[\left(W_{J0} - \left(\frac{P}{2} - \left(1 - \frac{\rho_{M0}}{\rho_{BM}} \right) W_{BM} - \left(1 + \frac{K_{J02}}{K_{B1}} \right) W_{BI} \right) \right)^2 - \left(\frac{P}{2} - \left(1 - \frac{\rho_{M0}}{\rho_{BM}} \right) W_{BM} - \left(1 + \frac{K_{J02}}{K_{B1}} \right) W_{BI} \right)^2 \right]$$

… (13)

となる。したがって、バリア膜の厚さが規定されたとき、遅延を最小にする、すなわち式13を最大とする W_{J0}

$$W_{J0} = \frac{P}{2} - \left(1 - \frac{\rho_{M0}}{\rho_{BM}} \right) W_{BM} - \left(1 + \frac{K_{J02}}{K_{B1}} \right) W_{BI} \dots (14)$$

であり、このとき式13は、

$$\frac{1}{\rho_{M0} K_{J02}} \left(\frac{P}{2} - \left(1 - \frac{\rho_{M0}}{\rho_{BM}} \right) W_{BM} - \left(1 + \frac{K_{J02}}{K_{B1}} \right) W_{BI} \right)^2 \dots (15)$$

となる。

【0054】いま、エッチバックするバリア膜が導体のみ、すなわち BM のみで I1 が存在しないとした場合に、遅延を最小にする W_{J0} は、

$$W_{J0} = \frac{P}{2} - \left(1 - \frac{\rho_{M0}}{\rho_{BM}} \right) W_{BM} \dots (16)$$

である。このとき、 W_{J0} は、

$$W_{M0} = \frac{P}{2} - \left(1 + \frac{\rho_{M0}}{\rho_{BM}} \right) W_{BM} \dots (17)$$

となり、BM成膜前にリソグラフィーとエッティングで用意される溝の幅 W_I は、

$$W_I = \frac{P}{2} + \left(1 - \frac{\rho_{M0}}{\rho_{BM}} \right) W_{BM} \dots (18)$$

40

となる。したがって、遅延を抑制するためにはこの寸法で BM成膜前の溝を加工することが望ましい。しかしながら、マスク作製や露光などの条件によって、厳密にこの寸法に加工することが困難である場合が多いため、適正な加工が行われているかどうかを簡便に判断する基準が必要である。ここで、比抵抗は正の値であり、かつ配線材とバリア膜の比抵抗はその材質の使用目的から明らかに $\rho_{M0} < \rho_{BM}$ であるので、

$$0 < \frac{\rho_{M0}}{\rho_{BM}} < 1 \dots (19)$$

という関係が成立し、これを用いると、 W_I の最適値に

関して、 $\frac{P}{2} < W_I < \frac{P}{2} + W_{BM} \dots (20)$

が成立する。したがって、すなわち W_I は配線間隔の半分より大きく、かつ側面片側分のバリア膜厚と配線間隔

50

の半分を加えた値よりも小さいことが望ましい。

【0055】一方、エッチバックするバリア膜が絶縁体のみ、すなわちI1のみでBMが存在しないとした場合に、遅延を最小にするW₁₀は、

$$W_{10} = \frac{P}{2} - \left(1 + \frac{K_{102}}{K_{B11}}\right) W_{B1} \quad \cdots (21)$$

である。このとき、W₁₀は、

$$W_{10} = \frac{P}{2} - \left(1 - \frac{K_{102}}{K_{B11}}\right) W_{B1} \quad \cdots (22)$$

となり、I1成膜前にリソグラフィーとエッチングで用意される溝の幅W_Tは、

$$W_T = \frac{P}{2} + \left(1 + \frac{K_{102}}{K_{B11}}\right) W_{B1} \quad \cdots (23)$$

となる。したがって、遅延を抑制するためにはこの寸法でBM成膜前の溝を加工することが望ましい。また、上記の導体バリア膜を用いた場合と同様に、適正な加工が行われているかどうかを簡便に判断する基準を考えると以下のようになる。まず、誘電率は正の値であり、かつK₁₀₂ < K_{B11}である。なぜなら、K₁₀₂ < K_{B11}が成立しない場合にはI0およびI2の代わりにI1で配線間の全てを構成したほうが全体の誘電率を下げることができることになってしまうからである。したがって、

$$0 < \frac{K_{102}}{K_{B11}} < 1 \quad \cdots (24)$$

という関係が成立し、これを用いると、W_Tの最適値に関して、

$$\frac{P}{2} + W_{B1} < W_T < \frac{P}{2} + 2W_{B1} \quad \cdots (25)$$

が成立する。したがって、すなわちW_Tは配線間隔の半分に側面片側分のバリア膜厚を加えた値より大きく、かつ配線間隔の半分に側面両側分のバリア膜厚を加えた値よりも小さいことが望ましい。

【0056】同様にして、バリア膜が導体と絶縁体の積層である場合には、式14の最適値となるW_Tは式19と式24から、

$$\frac{P}{2} + W_{B1} < W_T < \frac{P}{2} + W_{B10} + 2W_{B1} \quad \cdots (26)$$

で表わされる範囲にあることが分かる。

【0057】また、バリア膜の選択も遅延を抑制する上で重要である。バリア膜の種類によって、必要な膜厚は異なるが、当然ながら、導体バリア膜を用いる場合には、バリア性が保証される膜厚W_{B1}が一定ならば比抵抗ρ_{B1}ができるだけ低いことが望ましく、絶縁体バリア膜を用いる場合には、バリア性が保証される膜厚W_{B1}が一定ならば誘電率K_{B1}ができるだけ低いことが望ましい。導体と絶縁体とを比較する場合にも同様に、式15中の導体バリア膜、絶縁体バリア膜のそれぞれに関する項で

ある、

$$\left(1 - \frac{\rho_{B10}}{\rho_{B1}}\right) W_{B10} \quad \cdots (27)$$

$$\left(1 - \frac{K_{102}}{K_{B11}}\right) W_{B1} \quad \cdots (28)$$

を比較基準として適性を判断できる。例えば、配線材をCu、層間絶縁膜をSiO₂とした場合を考える。導体

バリア膜をTaNとした場合は、ρ_{B10} / ρ_{B1}は、ほぼ0.01という値になるので、式27の値はほぼW_{B10}となる。一方で、絶縁体バリア膜をSiNとした場合には、K₁₀₂ > 2K_{B11}であり、これにK₁₀₂ > K₁₀という前提を考慮すると、K₁₀₂ / K_{B11} > 0.5であるので、式28の値は2W_{B1}より大きい。したがって、同一の遅延を達成する際にSiNに許容される膜厚は、TaNの許容される膜厚の倍以上であることになる。もし、使用するTaNとSiNのバリア性が保証されるW_{B10}、W_{B1}がほぼ同じであれば、TaNを使用せず、SiNを使用したほうが遅延を低減できることになる。

【0058】この側面を覆うべきバリア膜に関しても、総体としてのバリア性が保証されれば必ずしもその材質を全てバリア性の高い材料で構成する必要はなく、例えばバリア性の高い絶縁体とバリア性の低い絶縁体、バリア性の高い絶縁体と密着性は高いがバリア性の低い導体、といったような複数の膜で構成することもできる。その場合の配線溝幅の見積もりなどは、BMに関する部分を導体の平均値、BIに関する部分を絶縁体の平均値を用いて上記の検討を行えば良い。

【0059】上記の検討は、配線溝の側壁が底面に対してほぼ垂直であることを前提としていたが、配線溝の断面形状を上面が下面より広くすることで、遅延を低減することも可能である。上記の検討においては、配線溝側方に存在するI1以外の絶縁膜I2およびI0について、その平均的なK₁₀₂を用いていたが、K_{B12} > K₁₀であることから、I2部分をI0部分より小さくする構造の方が、総体的な遅延が低減できる。このとき配線溝の上面開口部の幅W_{Top}と下面底部の幅W_{Bottom}とW_Tの関係は、

$$W_{Bottom} < W_T < W_{Top} \quad \cdots (29)$$

となる。

【0060】また、配線材であるCuのCMP時における過剰研磨、もしくはその後の配線上面を覆うバリア膜成膜前に溶液処理等でCuを若干エッチングすることによって、誘電率の高いバリア膜I1部分の寄与を減らすことで、同一配線層内における隣接配線間容量を低減し、遅延を削減することができる。図11は、単一の配線についての例を示したものである。I2に対応するバリア膜9上のCuを除去できた時点でCMPを止め、そのまま上面をカバーするバリア膜4、絶縁膜5を堆積し

た場合には、図11(a)に示されるように、I2に対応するバリア膜9が隣接する配線間に存在する。しかし、Cu配線部を過剰なCMPもしくはエッチングなどによって窪ませてから、上面をカバーするバリア膜4、絶縁膜5を堆積することで、図11(b)のようにバリア膜4の隣接配線間に存在率を低減、削除することができる。ただし、この場合には配線材の厚さの減少分を見込んで、配線溝を深めに形成しておく必要がある。

【0061】その構成から明らかなように、本発明の実施の形態はその全てにおいて、配線部側面を覆うべきバリア膜6およびバリア膜3は、上層一下層間の接続に直接寄与する必要が無いため、導体である必要はなく絶縁体でも良い。材料としては、CMPや熱処理を含めた加工や使用時における界面付近のEM耐性等の信頼性を高めるうえで、絶縁膜5との密着性および配線材となるCuとの密着性の両者がよいことが望ましい。また、当該部分のバリア性が保証される限り、必ずしも単一の膜である必要はなく、異なる材質の複数の膜を積層したものを使用できる。例えば窒化チタンとシリコン窒化膜といったように、導体と絶縁体を組み合わせることも可能である。

【0062】配線上面を覆うべきバリア膜8およびバリア膜4と配線下面を覆うバリア膜11、接続部下面の位置ずれ時のバリア性を保証すべきバリア膜9とバリア膜10のそれぞれは、基板表面の全面に成膜して接続部分以外を除去しないという形の最も簡便なパターニングを行う場合には、隣接する配線間の電気的結合を遮断するために絶縁体である必要がある。Cuと接する部分のバリア性が保証される絶縁物であれば、必ずしも単一の膜である必要はなく、異なる材質の複数の膜を積層したものを使用できる。

【0063】また、上記の配線部側面を覆うバリア膜、および接続部の下面の位置ずれ時のバリア性を保証すべく下層配線部以外の上面を覆うバリア膜は、良好な電気的接続を得るために上層の配線材を成膜する前に下層の配線材上面の清浄化を行う際に、絶縁膜を保護する役割も併せ持つ。上層電気的接続部の導体成膜前には、一般にArイオン等を用いて下層のCu上面を僅かにエッチングすることによって、成膜前に生じた銅酸化物や付着した汚染物を除去し、清浄なCu表面を保持するために真空中を搬送して上層の接続部導体を成膜する。

【0064】ここで、低誘電率が要求される層間絶縁膜、特に有機系の組成の高いものは一般に上記のようなArイオン照射に対する耐性が低く、容易に変質してしまうために上部に成膜された膜との密着性低下による剥がれ等の故障要因となる。したがって、これらのバリア膜はArイオン照射やエッチング後の洗浄に対して変質しないことが望ましい。一般にバリア膜として使用されているTiN等の導体やSiN、SiC等の絶縁体は、低誘電率層間絶縁膜に比べてこれらの清浄化工程における

耐性が高く、有用である。なお、本発明のような構成と異なる、図16、図18に示されるようなバリアメタルをエッチバックせずにそのままCuを成膜する従来の手法においては、バリアメタル成膜前の低誘電率膜が配線溝等の上面に露出した状態で上記の清浄化を行う必要が有るため、清浄化工程に対する耐性が低い低誘電率絶縁膜の使用が困難である。

【0065】

【実施例】上記した本発明の実施の形態についてさらに10詳細に説明すべく、本発明の具体的な材料構成を含めた実施例について図面を用いて説明する。

【0066】【実施例1】まず、本発明の第1の実施例に係る半導体装置の製造方法について、図12及び図13を参照して説明する。図12及び図13は、第1の実施例に係る半導体装置の製造方法を模式的に示す工程断面図であり、作図の都合上、分図したものである。図12(a)に示すように、素子を形成した半導体基板上に、SiO₂膜16、SiON膜17を順次成膜し、リソグラフィーと異方性エッチングによって半導体素子との接合部となる接続孔を開口して、表面全面にTiN膜18、W膜19を成膜した後、接続孔以外の余剰なW膜19およびTiN膜18をCMPによって除去することによって、半導体素子と上部多層配線とを接続するWプラグ層を形成する。

【0067】その上に、米国Dow Chemical社のSiikk®膜20を塗布法によって成膜した後、プラズマCVD法によってSiN膜21を成膜し、リソグラフィーと異方性エッチングによって第1の配線層の配線溝を形成する(図12(b))。Siikk®膜20のような有機物を多量に含有する膜は、通常有機物であるレジストの剥離における耐性が低いが、このリソグラフィー時にSiikk®膜20は表面に現れない。すなわち、SiN膜21上でレジストの塗布、現像が行われるため、例えば基板上の半導体素子との位置ずれが激しい場合に一旦レジストを剥離してから再度のリソグラフィーを行うことができる。また、SiON膜17は、異方性エッチングにおける配線溝底面でのエッチストップの役割を持つ。

【0068】次に、真空装置内でArイオンによって表面を僅かにエッチングすることによって、Wプラグ19表面の清浄化を行い、真空を保ったまま、Ta/TaNという構成のバリアメタル膜22、Cu膜をスパッタ法によって配線溝を被覆する形で表面全面に成膜する。このスパッタ法によって成膜したCuを電極にして、電解めつき法によって配線溝を埋め込むように、表面全面にCuを成膜する。この後にCMPによって配線溝内以外の余剰なCuおよびバリアメタル膜22を除去し、第1配線層を形成する(図12(c))。このとき、SiN膜21はCMPにおけるストップとして機能する。

【0069】次に、全表面にプラズマCVD法によって

SiC膜24を成膜する(図12(d))。SiC膜24は、第1配線層のCu23の上面を被覆する役割を持つ。

【0070】次に、Si1k®膜25、SiC膜26、Si1k®膜27、SiN膜28、TiN膜29を順次、Si1k®膜は塗布法によって、SiC膜、SiN膜はプラズマCVD法によって、TiN膜はスパッタ法によってそれぞれ成膜する(図12(e))。

【0071】次に、リソグラフィーと異方性エッティングによってTiN膜29を第2配線層の配線溝のパターンに加工する(図12(f))。このTiN膜29の異方性エッティングにおいて、SiN膜28はエッチングストップとして機能する。例えば、HBrとCl₂系を用いることによって、SiNがエッティングされにくい条件でTiNをエッティングすることが可能である。

【0072】次に、リソグラフィーによってレジスト30を第1-2配線層間の接続孔のパターンに加工する(図12(g))。このリソグラフィーにおいても表面はSiN膜28またはTiN膜29で覆われているため、Si1k®膜は損傷を受けない。

【0073】次に、異方性エッティングによって、SiN28膜、Si1k®膜27、SiC膜26、Si1k®膜25の一部を順次除去して、第1-2配線層間の接続孔の主部を形成する(図12(h))。この異方性エッティングにおいては、最上層のTiN膜29がエッティングされにくい条件で行われる。例えばフルオロカーボン系のガスを用いることで、TiNがエッティングされにくい、Si組成比の高い膜のエッティングが可能である。SiC膜26のエッティングが十分終了し、かつSi1k®膜25のエッティングが終了する以前にSiC膜がエッティングされにくい条件を用いることによって、SiC膜24をエッティングストップとして用いることができる。Si1k®膜のような低誘電率膜は、例えばH₂系のガスを用いたエッティング速度が非常に大きいため、比較的容易にバリア膜との選択比を得ることができる。ここで、Si1k®膜25は完全に底部までエッティングされなくて良い。後に行う第2配線層配線構の形成におけるSi1k®膜27のエッティングにおいても、同時にエッティング条件にさらされるからである。なお、レジスト30の膜厚は、Si1k®膜27、Si1k®膜25のエッティング中に消失するように設定される。Si1k®膜のエッティングされやすい条件においては、有機物であるレジストは比較的エッティングされやすい。SiN膜28がレジスト30のパターンを引き継いだ後は、SiN膜がエッティングされにくい条件を用いることによって、レジスト30が消失後もSiN膜28がマスクとなって異方性エッティングを進行できる。

【0074】次に、TiN膜29をマスクとして、Si

N膜28を第2配線層の配線溝のパターンに加工し、継続してTiN膜29とSiN膜28の両者をマスクとしてSi1k®膜27をエッティングして、第2配線層の配線溝を形成する。(図12(i))このエッティングにおいて、SiC膜26はエッティングストップとして機能する。同時に、第1-2配線層間の接続孔となるSi1k®膜25のエッティングは、この工程において十分終了させる。この場合SiC膜24がエッチングストップとして機能する。

10 【0075】次に、TiNからなるバリア膜31を、第2配線層の配線溝および第1-2層間接続孔の内面を被覆するように成膜した後、異方性エッティングによって第2配線層の配線溝および第1-2層間接続孔の側壁部にTiNバリア膜31を残存させつつ、第1-2層間接続孔底面のTiNバリア膜31を除去する(図12(j))。

【0076】次に、第1-2層間接続孔の底面のSiC膜24を異方性エッティングによって除去して、第1配線層の上部接続面を露出させる(図13(k))。このとき、SiN膜21はストップとして機能する。

20 【0077】次に、真空装置内でArイオンによって表面を僅かにエッティングすることによって、第1配線層のCu配線23における第2配線層への接続部表面の清浄化を行い、真空を保ったまま、第2配線層の配線溝および第1-2層間接続孔の内面を被覆するように、スパッタ法によってCuを成膜する。この後、電解めっき法によって第2配線層の配線溝および第1-2層間接続孔を埋め込むようにCu32を成膜し、第2配線層の配線溝および第1-2層間接続孔の内部以外の余剰なCuおよびTiN膜29をCMPによって除去する(図13(1))。このCMPにおいて、SiN膜28はストップとして機能する。

30 【0078】次に、表面にプラズマCVD法によってSiC膜33を成膜する(図13(m))。SiC膜33は、第2配線層のCu部32の上面を被覆する役割を持つ。

【0079】以下、図12(e)～図13(1)までと同様の工程を繰り返すことによって、第2配線層と接続する第3配線層を形成する(図13(n))。さらに同様の工程を繰り返すことで、より上層の配線層を形成できる。

40 【0080】【実施例2】次に、本発明の第2の実施例に係る半導体装置の製造方法について、図14及び図15を参照して説明する。図14及び図15は、第2の実施例に係る半導体装置の製造方法を模式的に示す工程断面図であり、作図の都合上、分図したものである。図14(a)に示すように、素子を形成した半導体基板上に、SiO₂膜34、SiC膜35を順次成膜し、リソグラフィーと異方性エッティングによって半導体素子との接合部となる接続孔を開口して、表面全面にTiN膜3

50

6、W膜37を成膜した後、接続孔以外の余剰なW膜37およびTiN膜36をCMPによって除去することによって、半導体素子と上部多層配線とを接続するWプラグ層を形成する。

【0081】その上に、プラズマCVD法によってベンゾシクロブテン(Benzocyclobutene:BCB)膜38を成膜した後、プラズマCVD法によってSiC膜39を成膜し、リソグラフィーと異方性エッチングによって第1の配線層の配線溝を形成するとともにWプラグ37の上面を露出させる(図14(b))。BCB膜もSi1k®膜と同様に有機物を多量に含有するが、このリソグラフィー時にはSiC膜35が上部に有るのでBCB膜38は表面に現れず、例えば基板上の半導体素子との位置ずれが激しい場合に一旦レジストを剥離してから再度のリソグラフィーを行うことができる。ここではSiC膜35は、異方性エッチングにおける、配線溝底面でのエッチストップの役割を持つ。

【0082】次に、配線溝を被覆する形でSiC膜40を表面全面に成膜し、異方性エッチングによって配線溝側壁にSiC膜40を残存させつつ、Wプラグ37上の、すなわち配線溝底部のSiC膜40を除去する。このエッチングの際には、配線溝底部のSiC膜40消失後はSiC膜35が、最表層のSiC膜40消失後はSiC膜39が、エッチング条件にさらされる。したがって、Wプラグ37の上面が確実に露出されるようにSiC膜40のエッチングはある程度過剰に行う必要があるが、この過剰分によっても十分残存するように、かつ配線間容量を低減するためにできるだけ小さい値にSiC膜35およびSiC膜39の厚さは設定される必要がある。

【0083】次に、真空装置内でArイオンによって表面を僅かにエッチングすることによって、Wプラグ37表面の清浄化を行い、真空を保ったままCu41を有機金属化学気相成長法(Metal-organic Chemical Vapor Deposition: MOCVD)によって、配線溝を埋め込むように表面全面に成膜する。この後にCMPによって配線溝内以外の余剰なCuを除去し、第1配線層を形成する(図14(c))。このとき、SiC膜39はCMPにおけるストップとして機能する。

【0084】次に、全表面にプラズマCVD法によってSiC膜42を成膜する(図14(d))。SiC膜42は、第1配線層のCu部41の上面を被覆する役割を持つ。

【0085】次に、プラズマCVD法によってBCB膜43、SiC膜44、BCB膜45、SiC膜46、SiO₂膜47を順次成膜する(図14(e))。

【0086】次に、リソグラフィーと異方性エッチングによってSiO₂膜47を第2配線層の配線溝のパター

ンに加工しする(図14(f))。このSiO₂膜47の異方性エッチングにおいて、SiC膜46はエッチストップとして機能する。また、最表面にはSiC膜46、SiO₂膜47しか露出しないので、レジストの剥離等の工程においてBCB膜が損傷されない。

【0087】次に、リソグラフィーによってレジストを第1-2配線層間の接続孔のパターンに加工する(図14(g))。このリソグラフィーにおいても表面はSiC膜46またはSiO₂膜47で覆われているため、BCB膜は損傷を受けない。

【0088】次に、異方性エッチングによって、SiC膜46、BCB膜45、SiC膜44、BCB膜43の一部を順次除去して、第1-2配線層間の接続孔の主部を形成する(図14(h))。この異方性エッチングにおいては、最上層のSiO₂膜47がエッチングされにくい条件で行われる。なお、レジスト48の膜厚は、SiC膜44のエッチング終了後、BCB膜43のエッチング中に消失するように設定される。SiC46膜がレジスト48のパターンを引き継いだ後、SiC膜がエッチングされにくい条件を用いることで、レジスト48が消失後もSiC膜46がマスクとなって異方性エッチングを進行できる。

【0089】次に、SiO₂膜47をマスクとして、SiC膜46を第2配線層の配線溝のパターンに加工する。このとき、第1-2配線層間の接続孔底部のSiC膜42も同時にエッチングされ、第1配線層のCu配線41の第2配線層へ接続する上面が露出される。この後、継続してSiO₂膜47とSiC膜46の両者をマスクとしてBCB膜47をエッチングして、第2配線層の配線溝を形成する。(図14(i))このBCB膜47のエッチングにおいて、SiC膜44はエッチングストップとして機能する。このエッチングにおいて、SiC膜46が第2配線層の配線溝のパターンに加工された後は、SiO₂膜47は減少、消失しても構わない。

【0090】次に、SiC膜49を、第2配線層の配線溝および第1-2層間接続孔の内面を被覆するように成膜した後(図14(j))、異方性エッチングを施し、第2配線層の配線溝および第1-2層間接続孔の側壁部にSiC膜49を残存させつつ、第1-2層間接続孔底面のSiCバリア膜49を除去する(図15(k))。

【0091】次に、第2配線層の配線溝および第1-2層間接続孔の内面を埋め込むように、MOCVDによってCu50を成膜し、表面の余剰なCu、および残存するSiO₂膜47をCMPによって除去する(図15(1))。CuのMOCVDにおいて、ヘキサフルオロアセチルアセトン(Hexafluoroacetylacetone: Hhfac)および水が添加された原料を用いた場合には、下地Cuの酸化表面がこれらの添加剤によって還元されるため、過剰な清浄化を用いずに良好な電気的接続を得やすい。もちろん、Arイオン照

射や、例えば1997 Symposium on VLSI Technology Digest of Technical Papers 59~50頁に記述のよう、Cu表面清浄化を施すことで、より確実により純度の高いCu同士の接続が可能である。

【0092】次に、表面にプラズマCVD法によってSiC膜51を成膜する(図15(m))。SiC膜51は、第2配線層のCu50の上面を被覆する役割を持つ。

【0093】以下、図14(e)~図15(1)までと同様の工程を繰り返すことによって、第2配線層と接続する第3配線層を形成する(図15(n))。さらに同様の工程を繰り返すことで、より上層の配線層を形成できる。

【0094】なお、本発明は、上記実施例に限定されるものではない。例えば配線間を隔てる絶縁膜はSi11k & reg;やBCBである必要はなく、空隙を含んだナノガラス等でもよい。誘電率が低く、かつ接すべきバリア膜との密着性が強固なものが望ましい。なお、本発明によれば、配線溝もしくは接続孔における電気的接続を担う部の導体の埋め込み成膜前に行うArイオン照射などにおける耐性は、従来ほど必要としない。また、配線溝もしくは接続孔の側壁バリア膜としても、導体に関してはTiNである必要はなくWやTaもしくはその窒化物などでもよい。配線材であるCuに対するバリア性が高く、かつ下地となる絶縁膜もしくはバリア膜との、およびCuとの密着性が高く、かつ比抵抗の低いものが望ましい。同様に、当該部の絶縁体に関してはSiCでなくともよく、SiNやSiCN等の材料でも良い。配線材であるCuに対するバリア性が高く、かつ下地となる絶縁膜もしくはバリア膜との、およびCuとの密着性が高く、かつ誘電率の低いものが望ましい。他のバリア膜に関しても全く同様であり、実施例の各部位に用いた材料で無くても良く、配線材であるCuに対するバリア性が高く、かつ下地となる絶縁膜もしくはバリア膜との、およびCuとの密着性が高く、かつ誘電率の低いものが望ましい。また、成膜やエッチングの手法も同様に、実施例に限定されない。例えばCuの成膜に関して、MOCVDにめっきを組み合わせる、もしくはスパッタとMOCVDとメッキを組み合わせてよい。他の成膜に関しても同様であり、上述のような各部位の膜に必要な特質を選られるものであれば、スパッタ法や熱CVD法、プラズマCVD法、塗布法等、適宜対象によって使用できる。

【0095】

【発明の効果】以上説明したように、本発明によれば、多層配線間でのバリア膜を介しない接続によって接続抵抗を低く保つつ、EMに対する高い耐性を保持できる。また、異層間のパターニングにおける位置ずれが生じても、上層配線部下面と接する可能性のある下層配線

以外の部分はあらかじめ下層に用意されたバリア膜で覆われているので、配線部から外部への配線材の拡散が抑制されることを保証する配線構造を形成できる。したがって、信頼性の高い多層配線を形成できるため、高集積回路となる半導体装置とその製造方法を提供することが可能である。

【図面の簡単な説明】

【図1】本発明の一実施の形態における半導体装置の製造方法を示す工程断面図である。

10 【図2】本発明の一実施の形態における半導体装置の製造方法を示す工程断面図である。

【図3】本発明の一実施の形態における半導体装置の製造方法を示す工程断面図である。

【図4】本発明の一実施の形態における半導体装置の製造方法を示す工程断面図である。

【図5】本発明の一実施の形態における半導体装置の製造方法を示す工程断面図である。

【図6】本発明の一実施の形態における半導体装置の製造方法を示す工程断面図である。

20 【図7】本発明の一実施の形態における半導体装置の製造方法を示す工程断面図である。

【図8】本発明の一実施の形態における半導体装置の製造方法を示す工程断面図である。

【図9】本発明の一実施の形態における半導体装置の製造方法を示す工程断面図である。

【図10】本発明の一実施の形態における配線接続構造の模式図である。

【図11】本発明の一実施の形態における配線構造の拡大断面図である。

30 【図12】本発明の第1の実施例における半導体装置の製造方法を示す工程断面図である。

【図13】本発明の第1の実施例における半導体装置の製造方法を示す工程断面図である。

【図14】本発明の第2の実施例における半導体装置の製造方法を示す工程断面図である。

【図15】本発明の第2の実施例における半導体装置の製造方法を示す工程断面図である。

【図16】従来の半導体装置の製造方法を示す工程断面図である。

40 【図17】従来の半導体装置の製造方法を示す工程断面図である。

【図18】従来の半導体装置の製造方法を示す工程断面図である。

【図19】従来の半導体装置の製造方法を示す工程断面図である。

【符号の説明】

1 配線材

2 絶縁膜

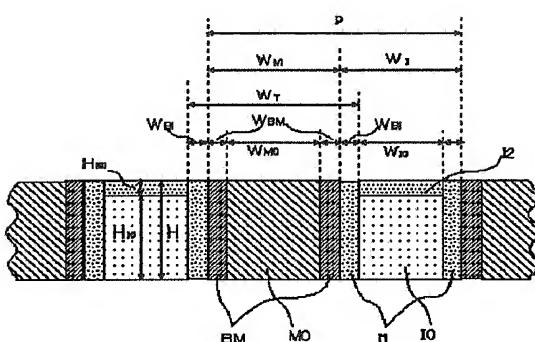
3 バリア膜

4 バリア膜

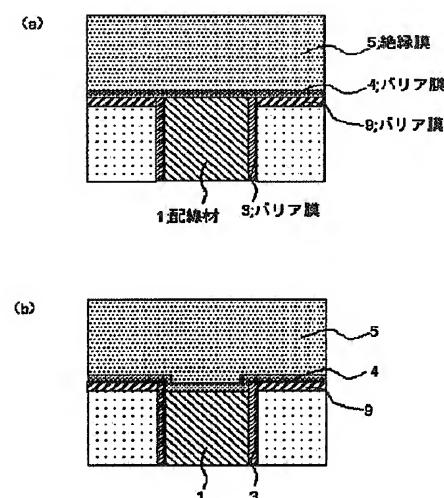
5 絶縁膜
 6 バリア膜
 7 配線材
 8 バリア膜
 9 バリア膜
 10 バリア膜
 11 バリア膜
 12 絶縁膜
 13 ダミー膜
 14 レジスト
 15 レジスト
 16 SiO₂
 17 SiON
 18 TiN
 19 W
 20 Siilk & reg
 21 SiN
 22 Ta/TaN
 23 Cu
 24 SiC
 25 Siilk & reg
 26 SiC
 27 Siilk & reg
 28 SiN
 29 TiN
 30 レジスト

* 31 TiN
 32 Cu
 33 SiC
 34 SiO₂
 35 SiC
 36 TiN
 37 W
 38 BCB
 39 SiC
 10 40 SiC
 41 Cu
 42 SiC
 43 BCB
 44 SiC
 45 BCB
 46 SiC
 47 SiO₂
 48 レジスト
 49 SiC
 20 50 Cu
 51 SiC
 M0 配線材
 BM 導体バリア膜
 I0 絶縁膜
 I1 絶縁体バリア膜
 I2 絶縁体バリア膜

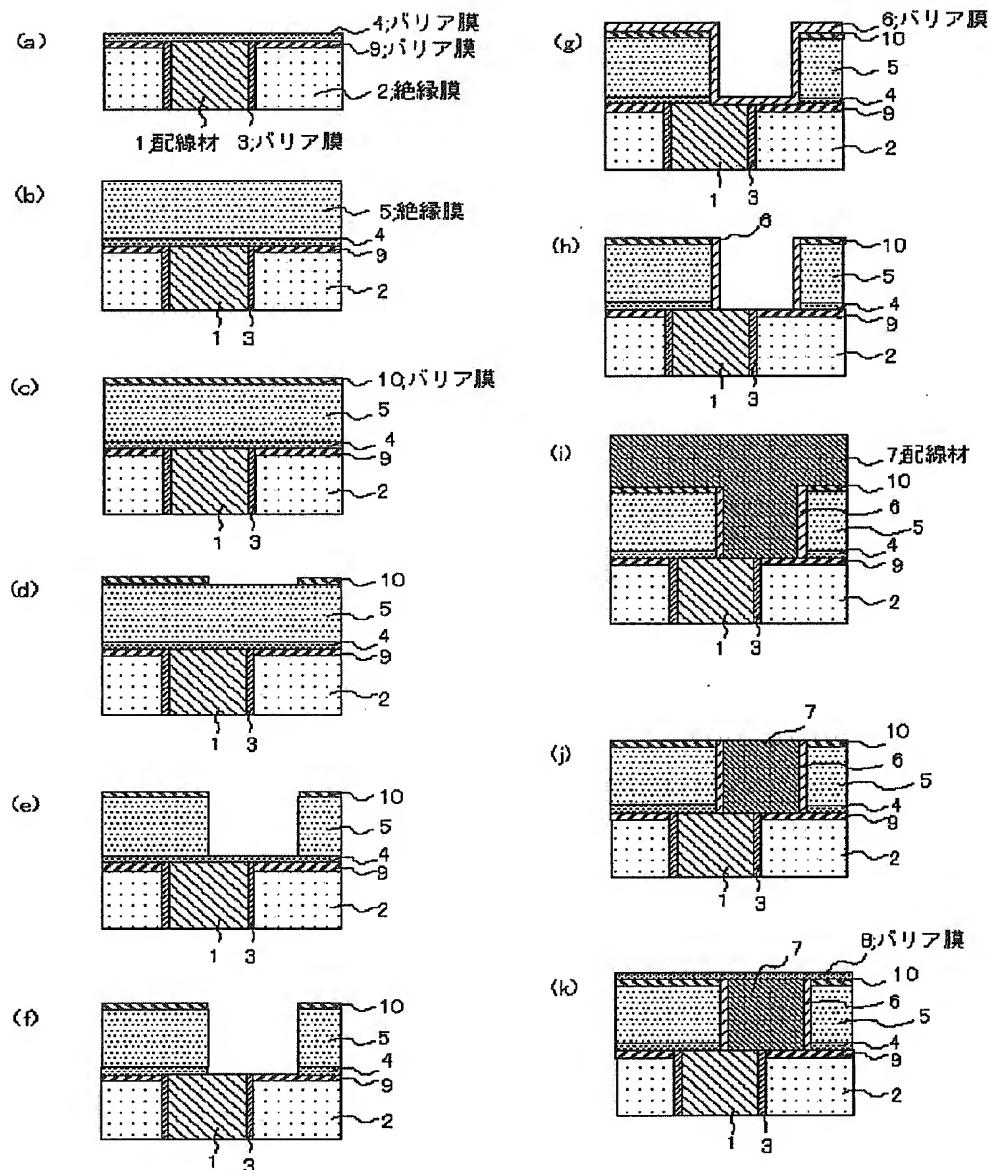
【図10】



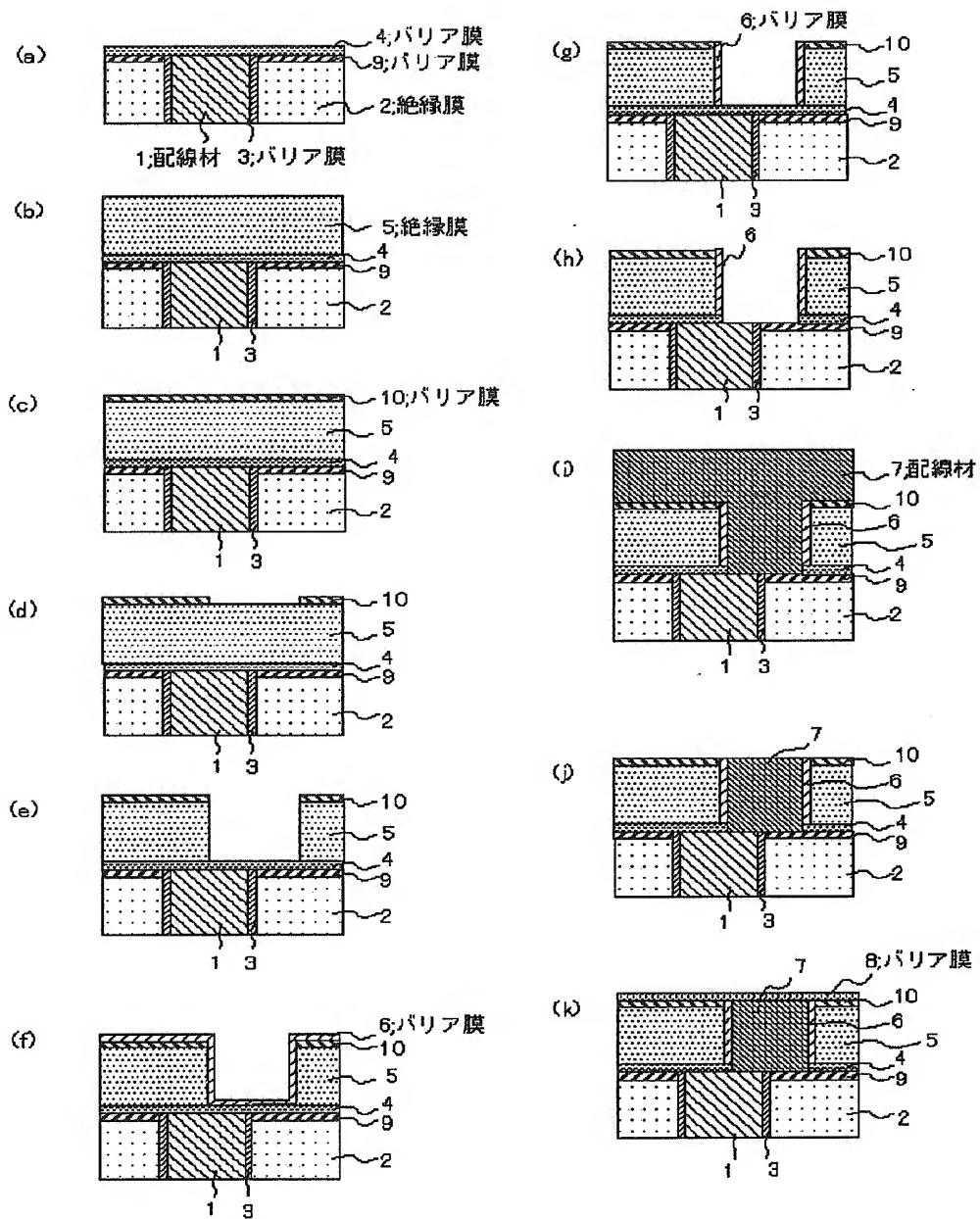
【図11】



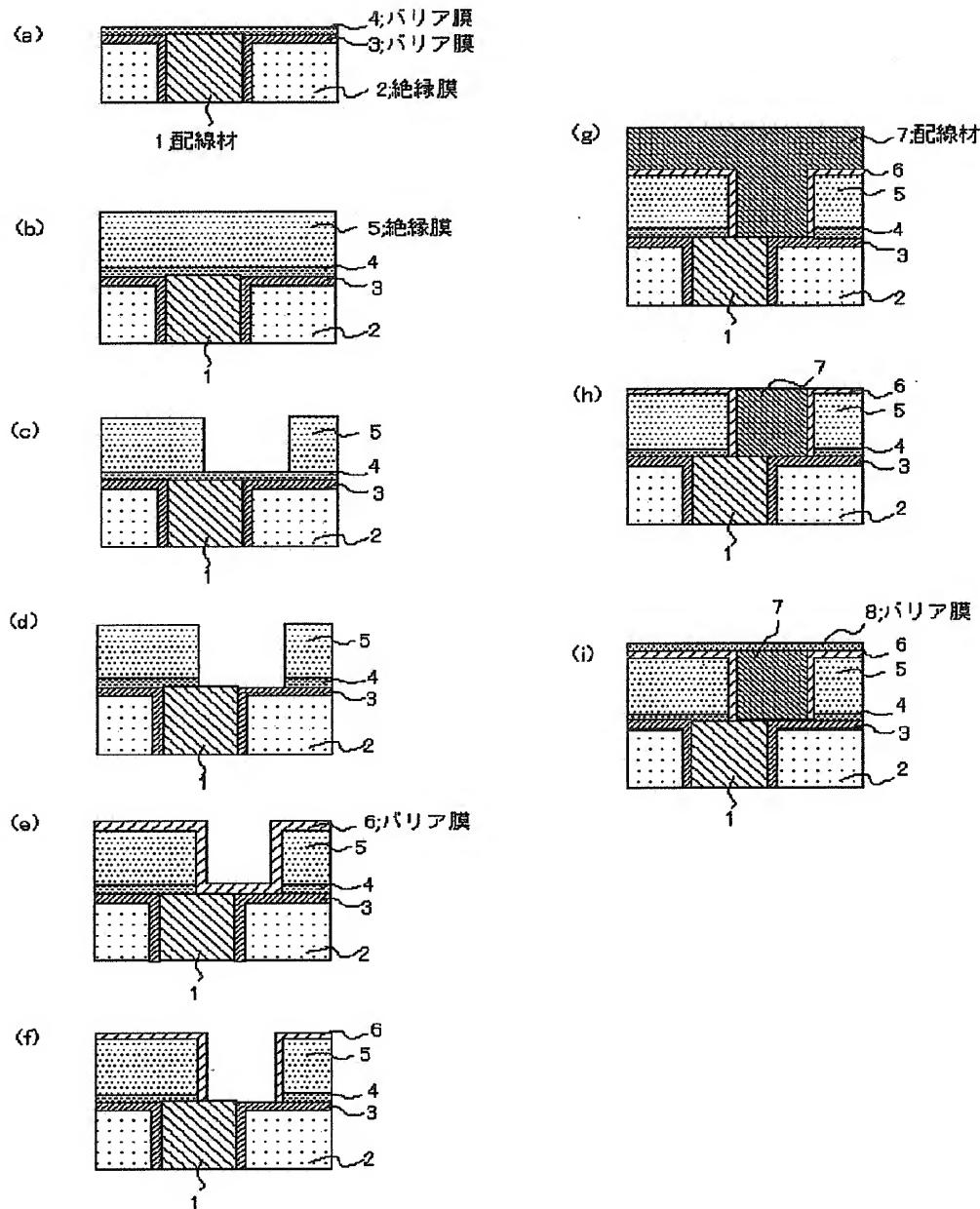
【図1】



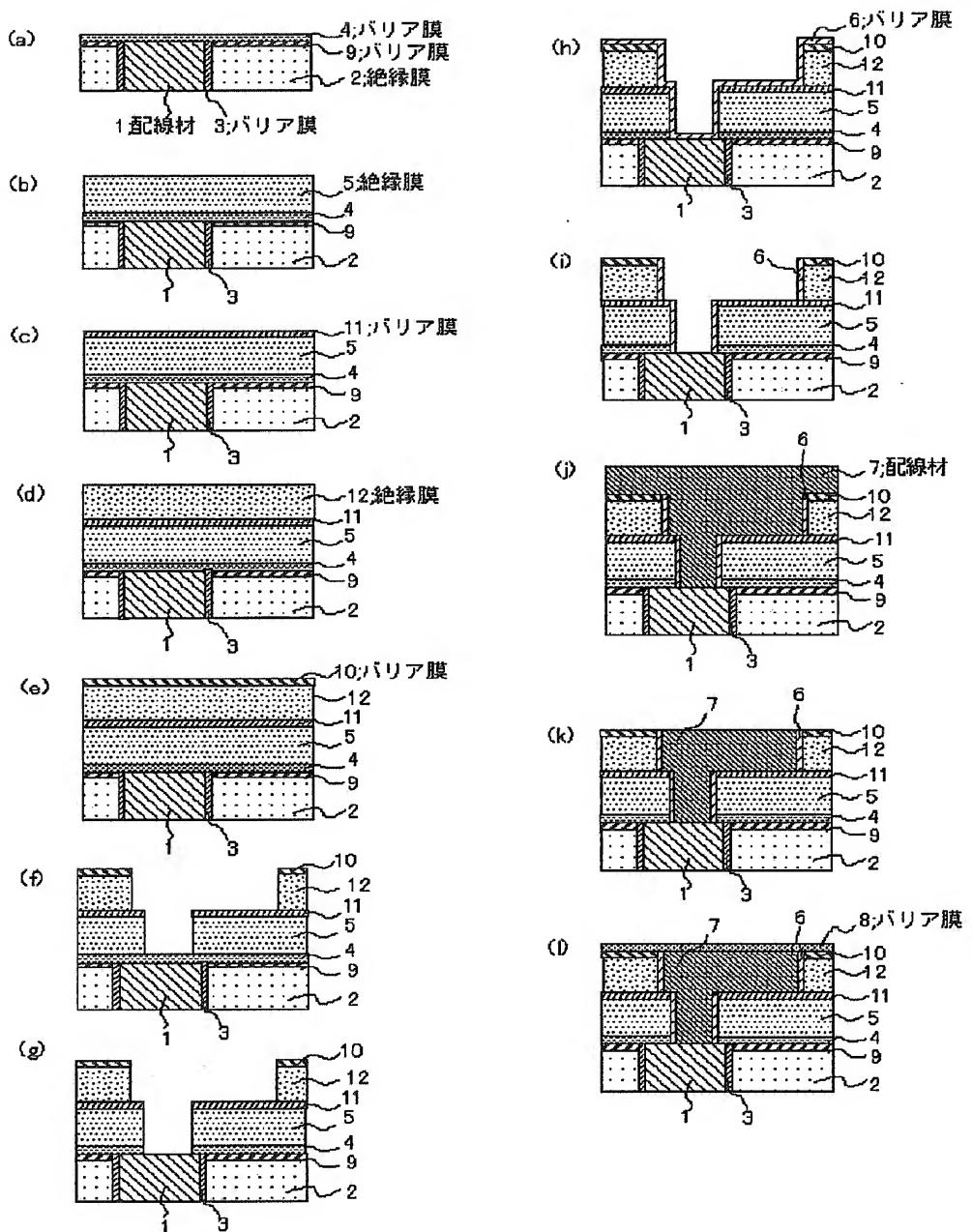
【図2】



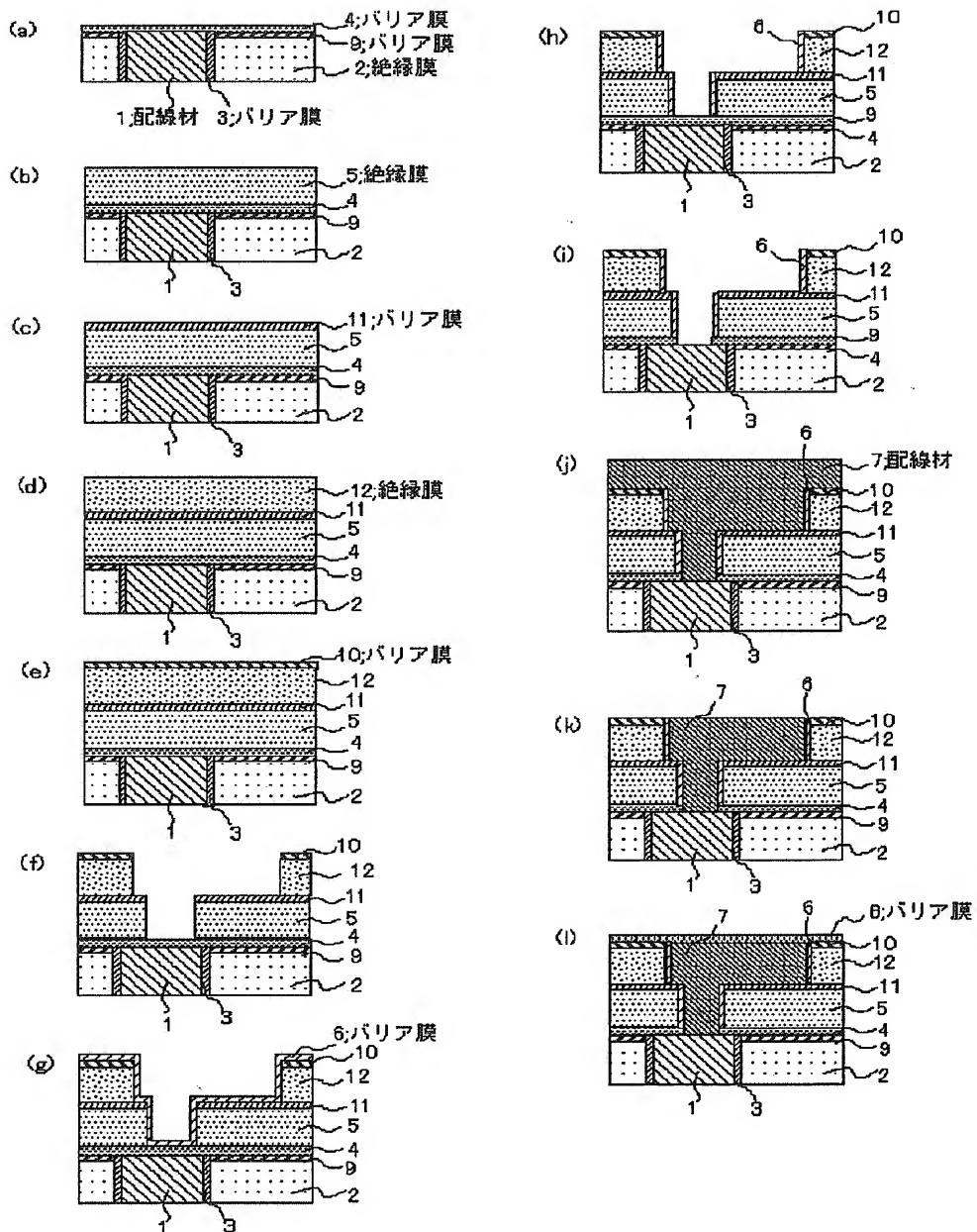
【図3】



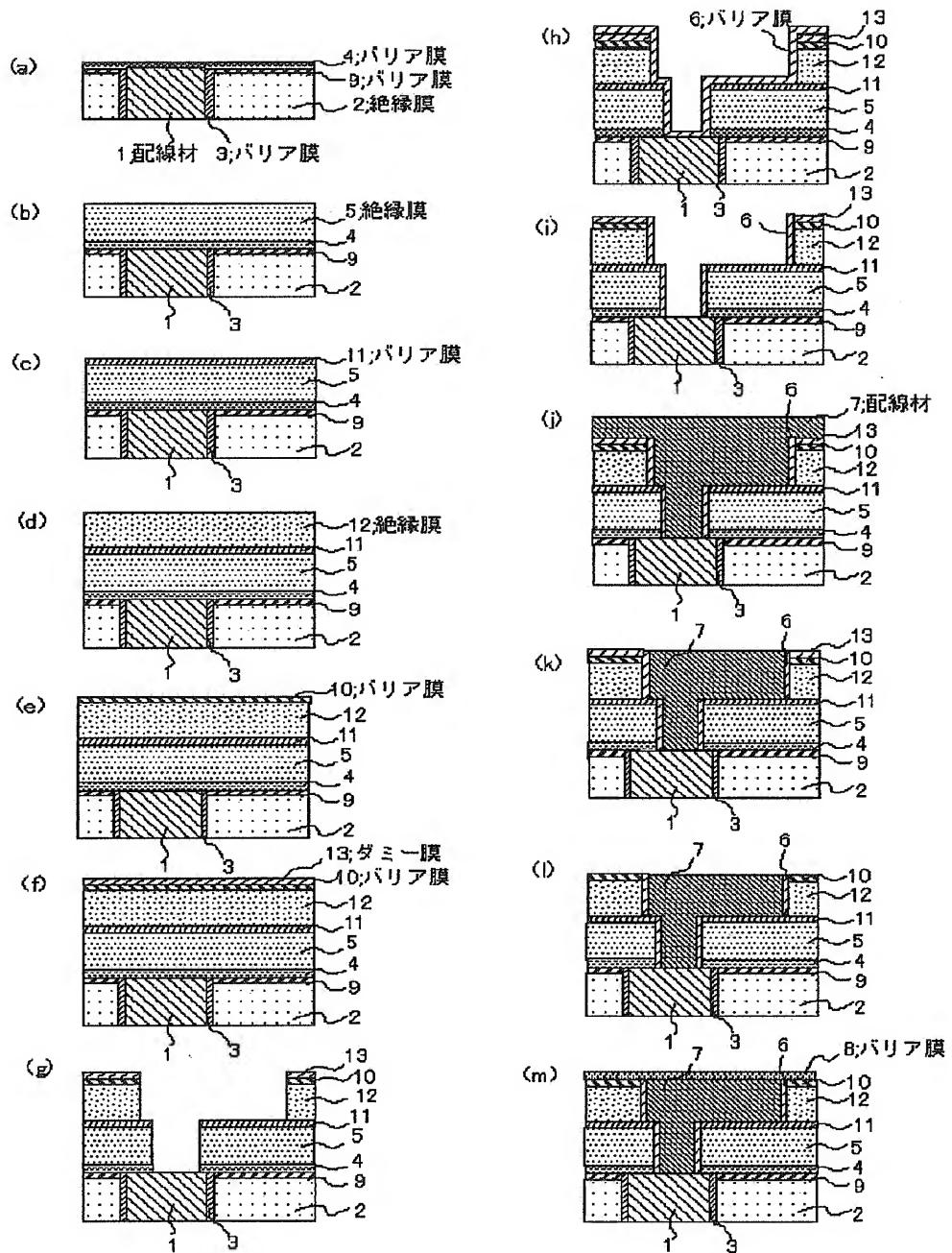
【図4】



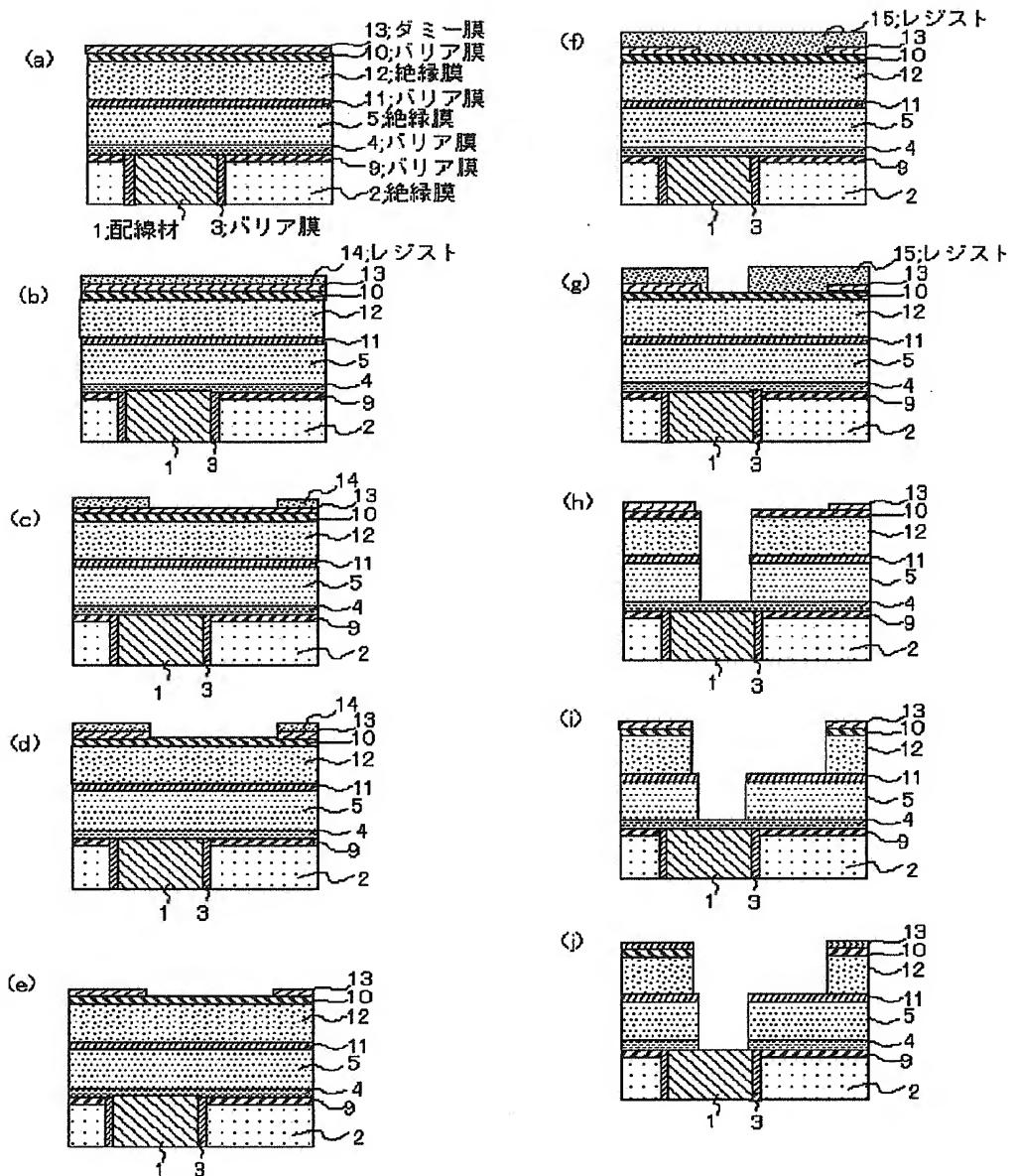
【図5】



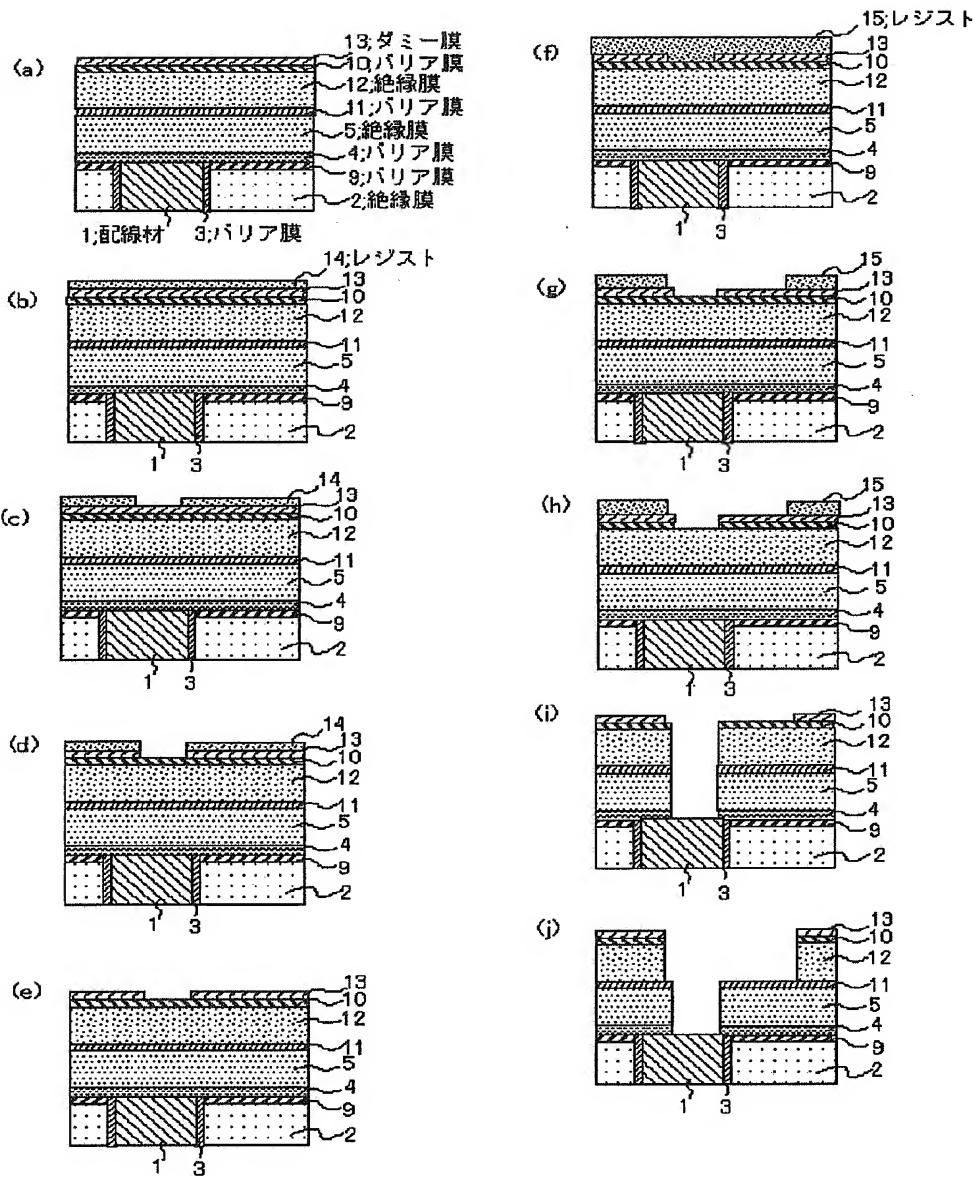
【図6】



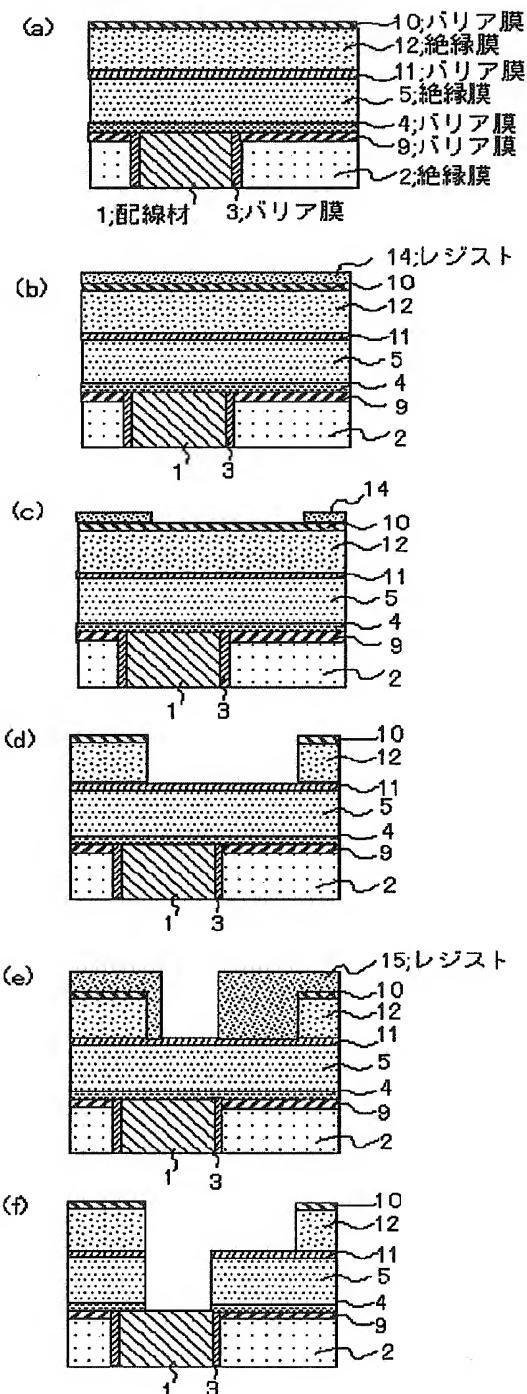
【図7】



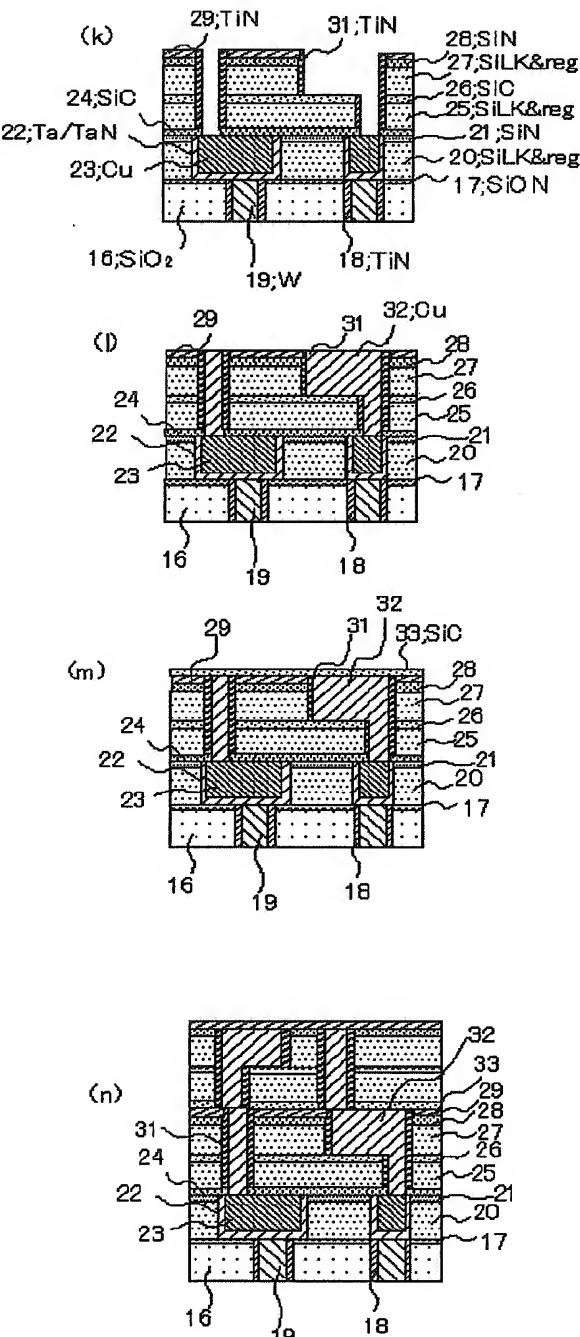
【図8】



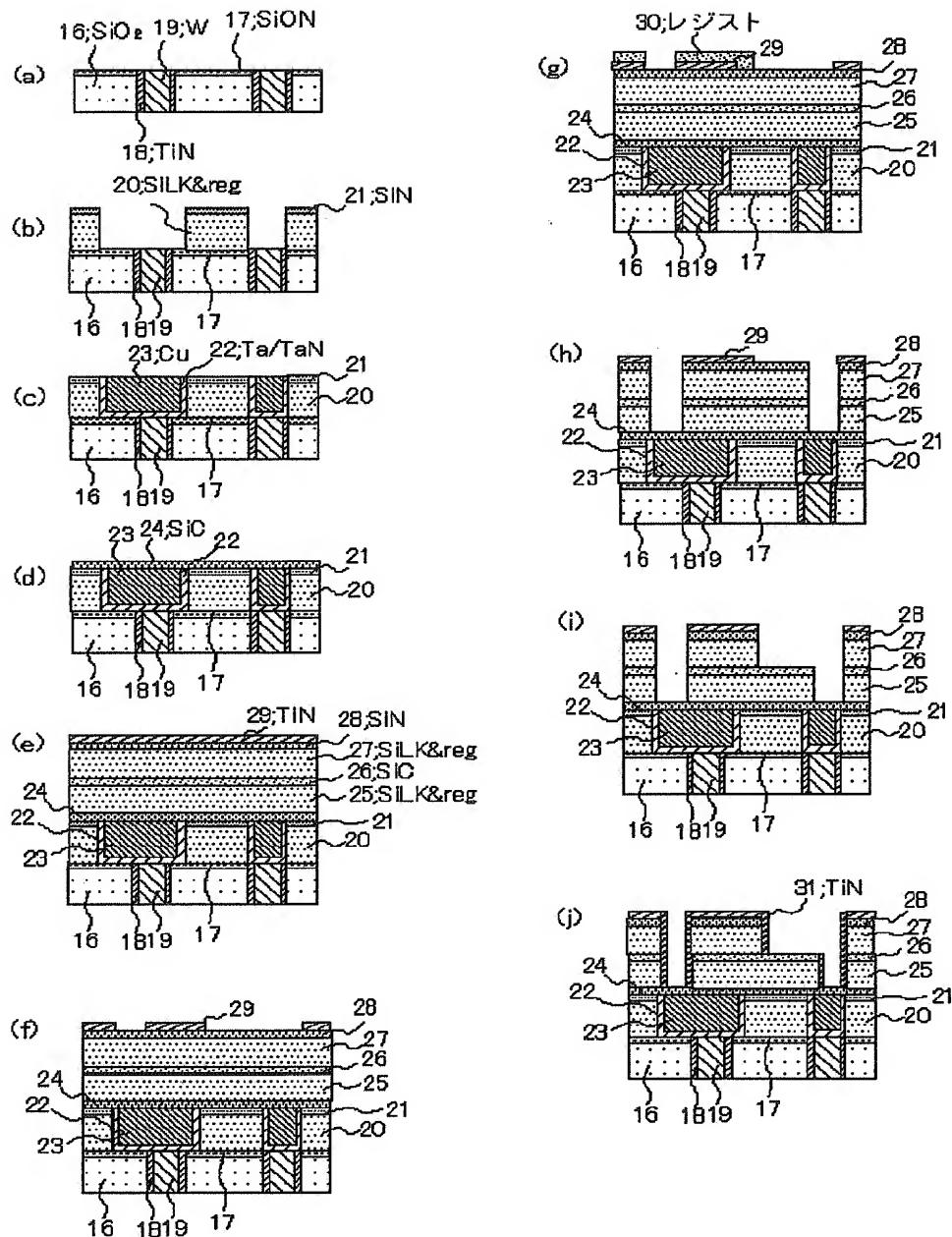
【図9】



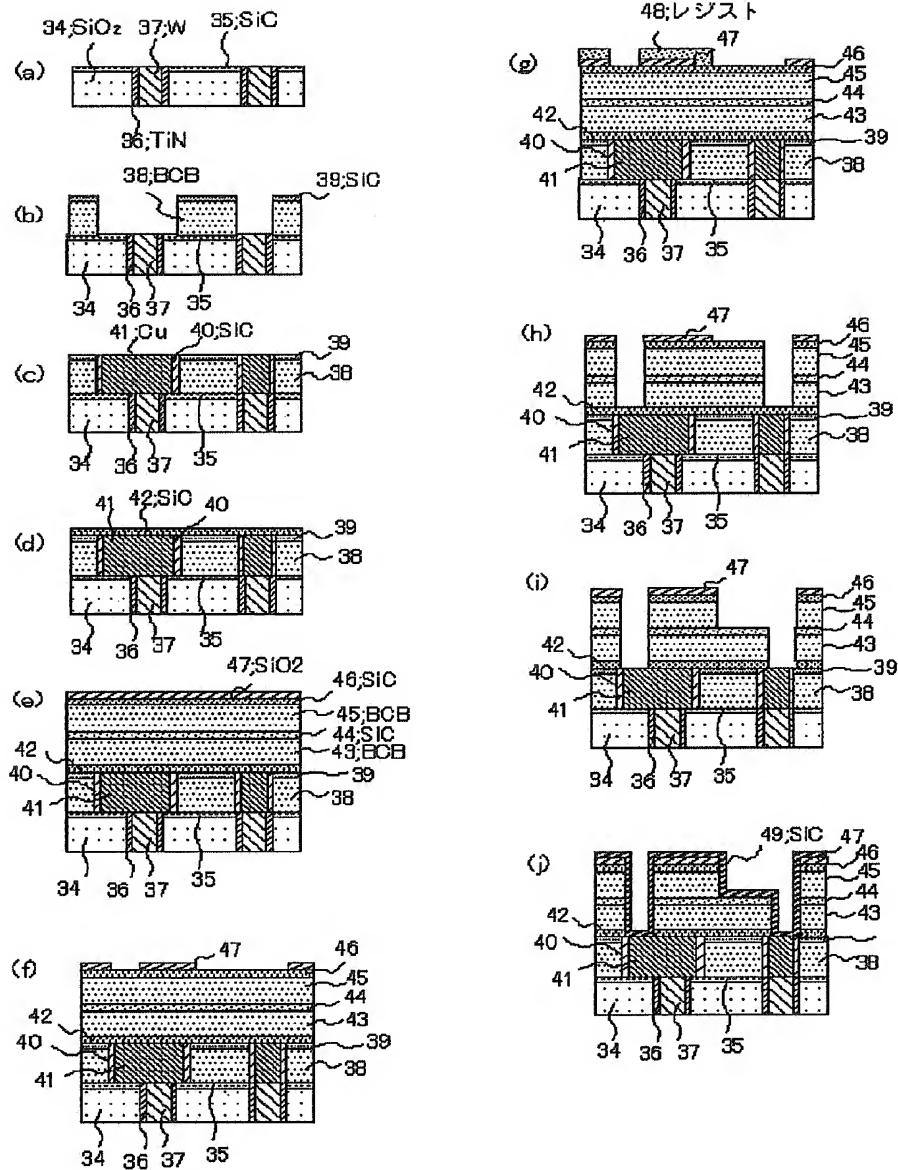
【図13】



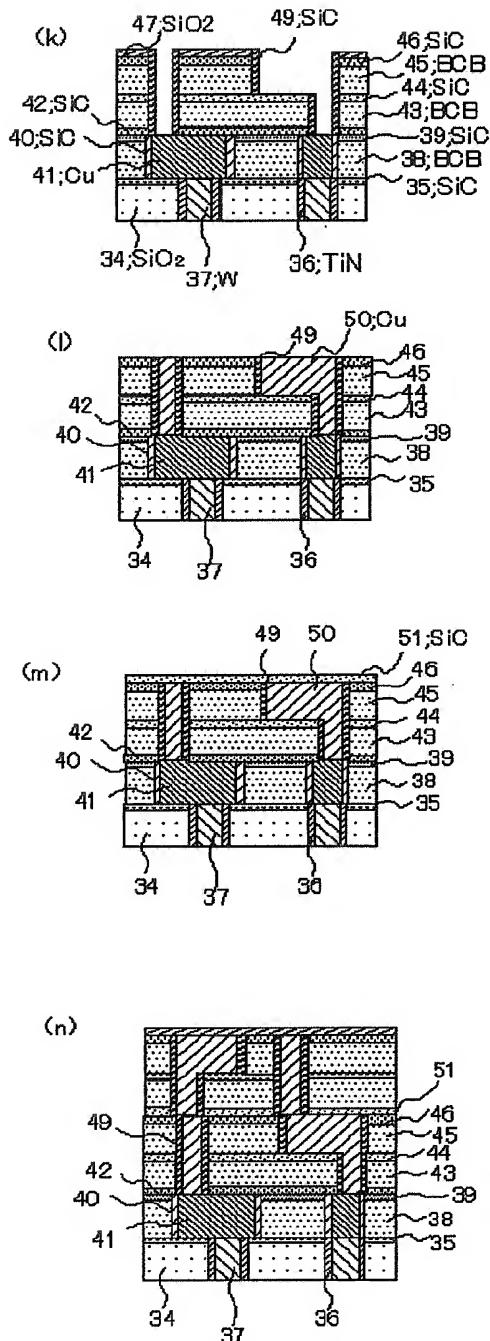
【図12】



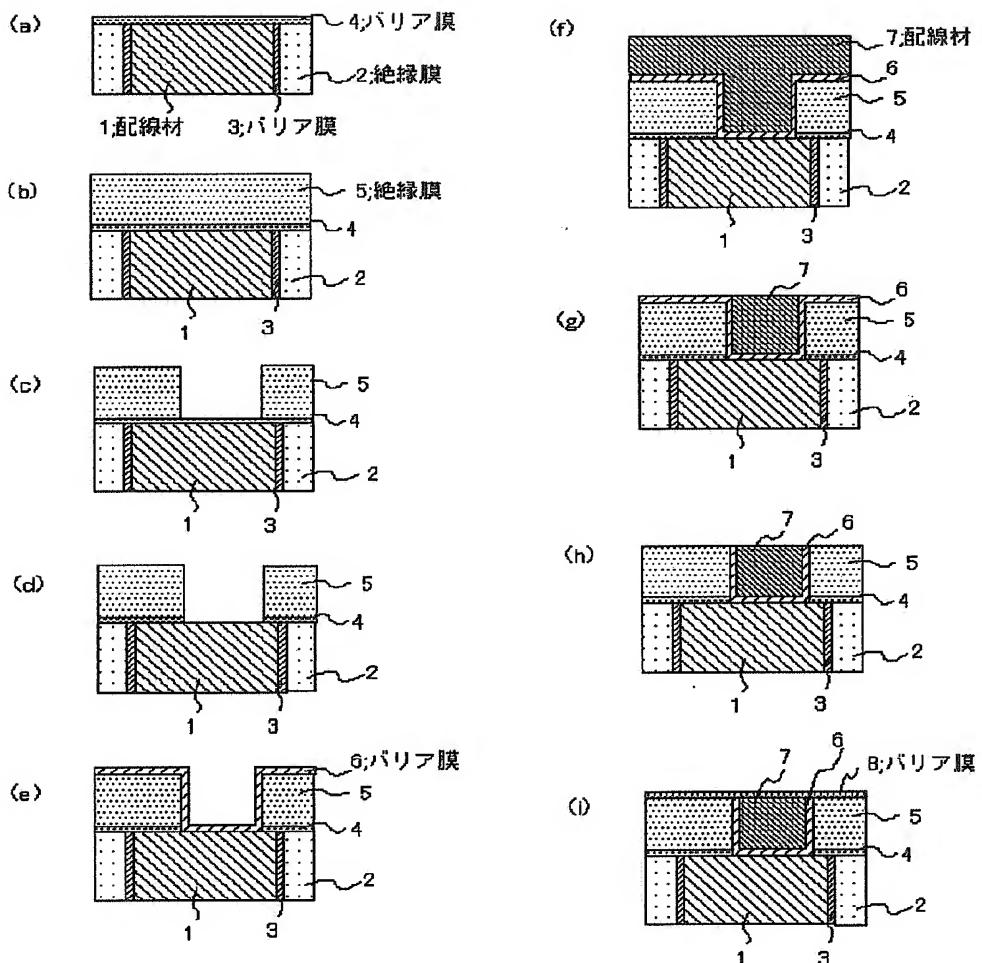
【図14】



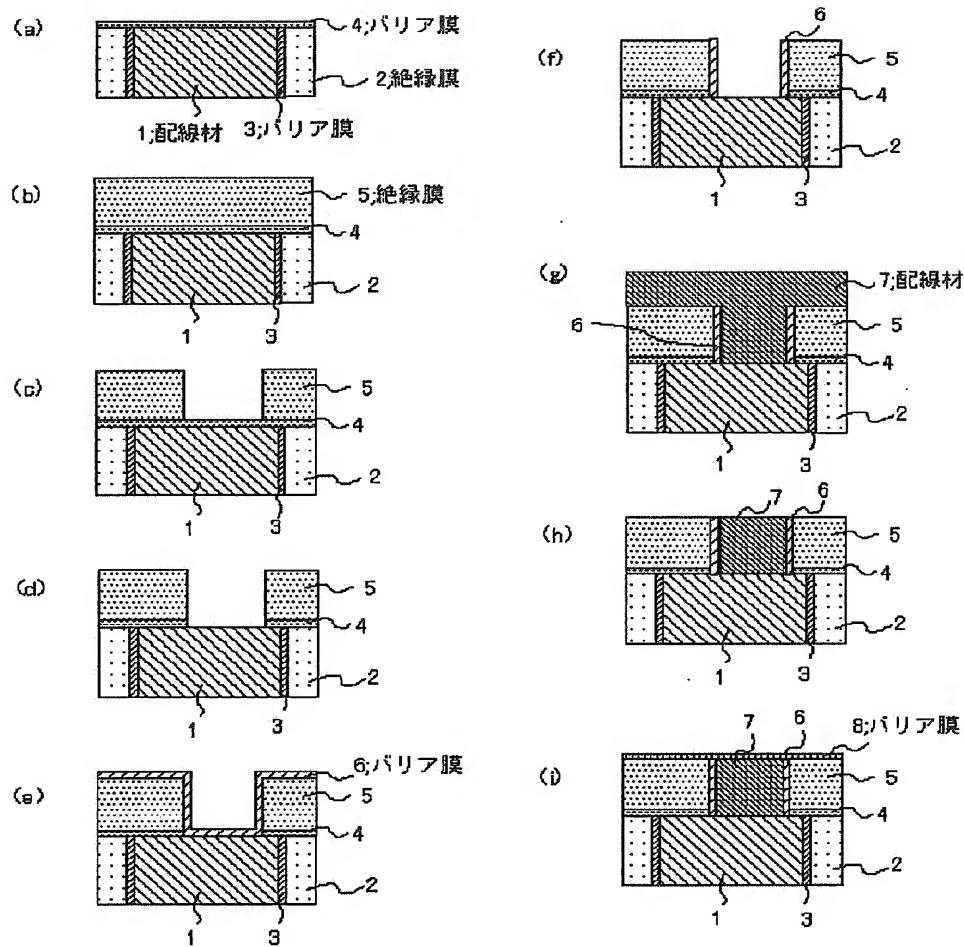
【図15】



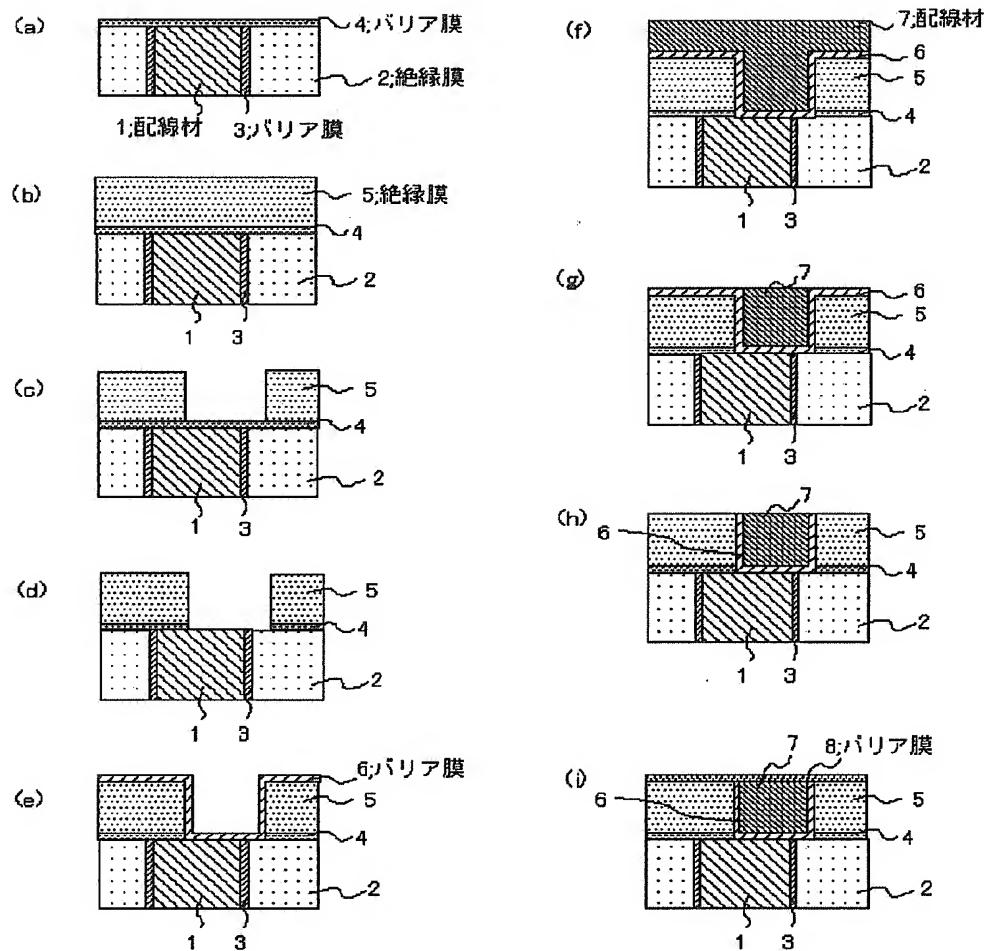
【図16】



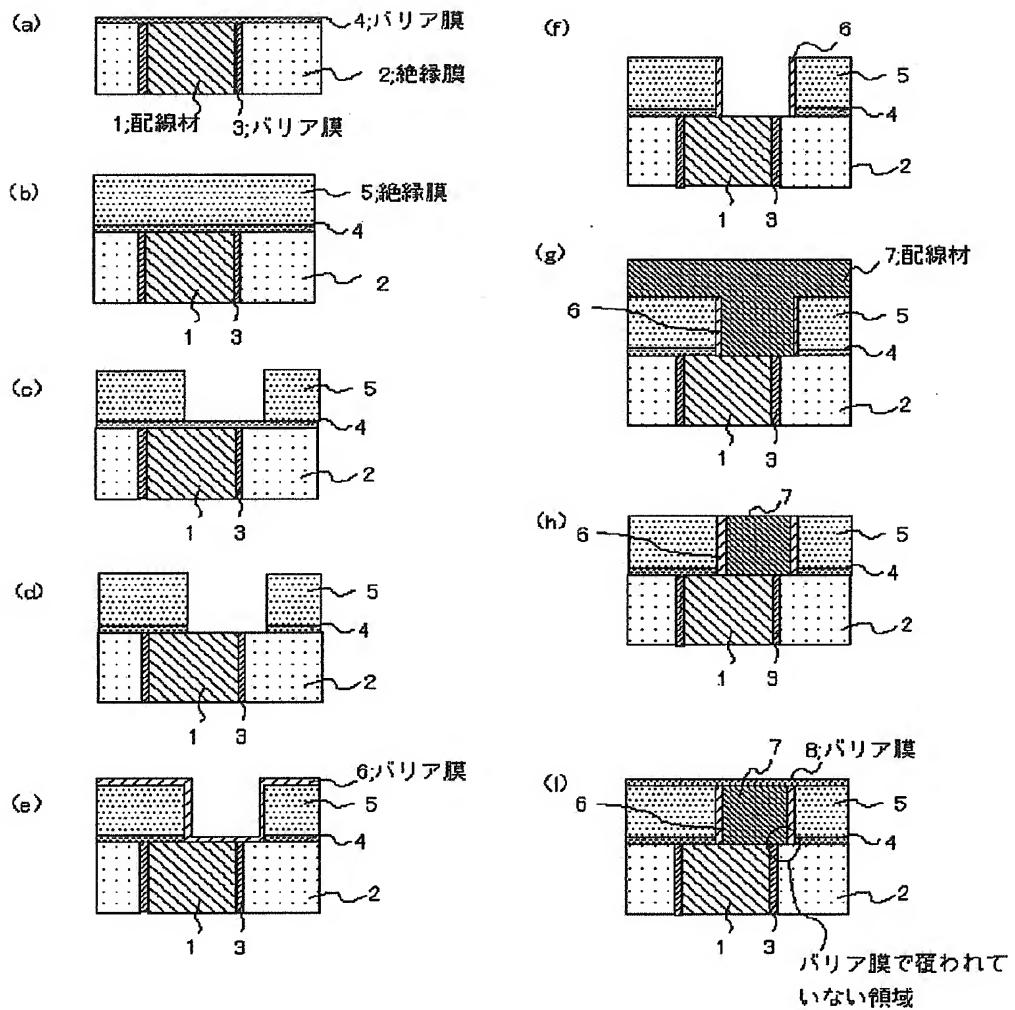
【図17】



【図18】



【図19】



フロントページの続き

F ターム(参考) 5F033 HH11 HH19 HH21 HH32 HH33
 HH34 JJ11 JJ19 JJ21 JJ32
 JJ33 JJ34 KK01 KK11 KK21
 KK32 MM01 MM02 MM10 MM13
 NN06 NN07 PP02 PP06 PP11
 PP12 PP15 PP26 PP27 PP33
 QQ08 QQ09 QQ16 QQ25 QQ27
 QQ28 QQ37 QQ48 QQ49 QQ92
 QQ98 RR01 RR04 RR05 RR06
 RR08 RR21 RR29 SS15 SS21
 TT07 TT08 XX05 XX09 XX28